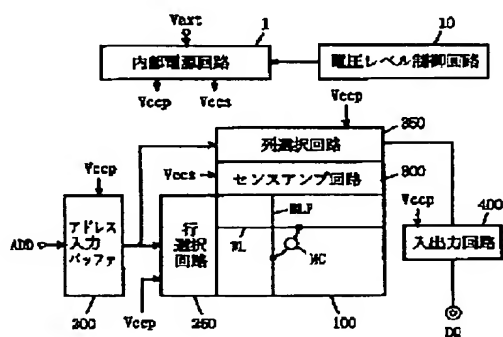


(43) Date of publication of application: **14.01.00**

internal voltage-drop circuit when power is turned on.

COPYRIGHT: (C)2000,JPO

SOLUTION: An internal power supply circuit 1 generates internal power supply voltages V_{ccp} and V_{ccs} from an external power supply voltage V_{ext} . A voltage level control circuit 10 adjusts the voltage level and temperature characteristics of the internal power supply voltages that are generated by the internal power supply circuit 1. The internal power supply circuit 1 generates an internal power supply voltage with negative or zero temperature characteristics at a low-temperature region and positive temperature characteristics at a high-temperature region. Also, the voltage level control circuit 10 includes a configuration for driving a level conversion circuit for deciding the operation lower-limit region of the external power supply voltage of a configuration internal power supply circuit for optimizing the capacitance of a sense power supply line stabilization capacitor for driving a sense amplification circuit 300 or for forcibly driving an



G11C 11/407
G05F 3/24
G05F 3/26
G11C 5/14
G11C 11/413
G11C 11/409

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor: MITSUI KATSUKICHI
FURUYA KIYOHIRO
KONO TAKASHI



(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-11649

(P 2 0 0 0 - 1 1 6 4 9 A)

(43)公開日 平成12年1月14日(2000.1.14)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
G11C 11/407		G11C 11/34 354	F 5B015
G05F 3/24		G05F 3/24	Z 5B024
3/26		3/26	5H420
G11C 5/14		G11C 5/14	
11/413		11/34 335 A	

審査請求 未請求 請求項の数28 O L (全45頁) 最終頁に続く

(21)出願番号	特願平10-181125	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成10年6月26日(1998.6.26)	(72)発明者	光井 克吉 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(72)発明者	古谷 清広 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(74)代理人	100064746 弁理士 深見 久郎 (外3名)

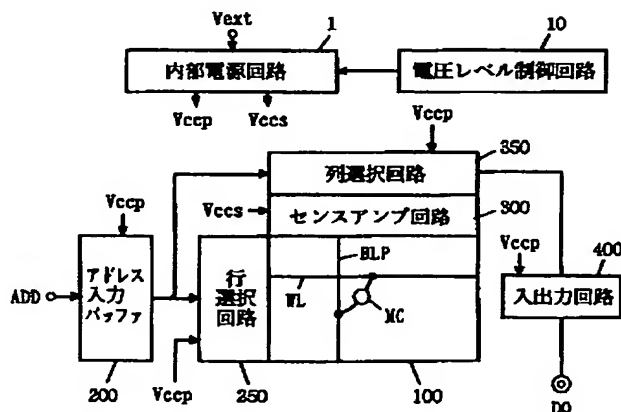
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 低占有面積かつ低消費電流で安定に所望のレベルの内部電源電圧を生成する。

【解決手段】 内部電源回路(1)で、外部電源電圧(Vext)から内部電源電圧(Vccp, Vccs)を生成する。電圧レベル制御回路(10)は、この内部電源回路(1)の発生する内部電源電圧の電圧レベルおよび温度特性を調整する。内部電源回路(1)は、内部電源電圧を、低温領域で負または0の温度特性を有し、高温領域で正の温度特性を有する内部電源電圧を生成し、また電圧レベル制御回路(10)は、このセンスアンプ回路(300)駆動用のセンス電源線安定化容量の容量値を最適化する構成内部電源回路の外部電源電圧の動作下限領域を確定するレベル変換回路または、電源投入時、強制的に内部降圧回路を駆動する構成を含む。



【特許請求の範囲】

【請求項 1】 外部電源電圧から内部電源電圧を生成するための内部電源回路、
前記内部電源回路からの内部電源電圧を利用する内部回路、
前記内部電源電圧を伝達する内部電源線に結合される容量素子、および前記容量素子の容量値を調整するための手段を備える、半導体装置。

【請求項 2】 前記内部電源回路は、
第 1 の基準電圧を発生する手段と、
前記第 1 の基準電圧と異なる電圧レベルの第 2 の基準電圧を発生する手段と、
切替信号にตอบสนองして、前記第 1 および第 2 の基準電圧の一方を選択する選択手段と、
前記選択手段からの基準電圧と前記内部電源線上の電圧とに従って前記外部電源電圧を供給するノードから前記内部電源線へ電流を供給する降圧回路とを備える、請求項 1 記載の半導体装置。

【請求項 3】 特定の動作モードを指定する特定動作モード指示信号にตอบสนองして、前記第 1 の基準電圧発生手段の発生する第 1 の基準電圧を外部から設定可能にするためのモード設定手段をさらに備える、請求項 2 記載の半導体装置。

【請求項 4】 前記内部回路は、
行列状に配列される複数のメモリセルと、
各前記行列に対応して配置され、活性化時、各々が前記内部電源電圧を利用して対応の列のメモリセルのデータの検知および増幅を行なう複数のセンスアンプを含む、請求項 1 記載の半導体装置。

【請求項 5】 前記内部回路は、
複数のメモリセルと、
前記複数のメモリセルの選択メモリセルのデータを外部へ出力するための出力回路とを含み、前記出力回路は、
前記内部電源電圧を一方動作電源電圧として動作して前記選択メモリセルのデータの電圧レベルを変換するためのレベル変換回路を含む、請求項 1 記載の半導体装置。

【請求項 6】 第 1 の温度領域で負またはゼロの温度特性を有しかつ前記第 1 の温度領域よりも高温の第 2 の温度領域が正の温度特性を有するように基準電圧を発生する手段および前記基準電圧と電源電圧とを比較し、該比較結果に従って前記電源電圧のレベルを調整する手段を備える、半導体装置。

【請求項 7】 前記基準電圧発生手段は、
同一材料で形成される第 1 および第 2 の抵抗素子の抵抗比に比例する第 1 の電圧を発生する第 1 の電圧発生手段と、
互いに異なる材料で形成される第 3 および第 4 の抵抗素子の抵抗比に比例する第 2 の電圧を発生する第 2 の電圧発生手段と、
前記第 1 および第 2 の電圧発生手段からの第 1 および第

2 の電圧を受けて、これらの第 1 および第 2 の電圧のうちの高い方の電圧のレベルに応じた電圧を前記基準電圧として発生する OR 手段を備える、請求項 6 記載の半導体装置。

【請求項 8】 前記基準電圧発生手段は、
電源ノードと第 1 のノードとの間に接続される第 1 の抵抗素子と、前記電源ノードと第 2 のノードとの間に接続されかつそのゲートが前記第 2 のノードに接続される第 1 の絶縁ゲート型電界効果トランジスタと、前記第 1 のノードと第 3 のノードとの間に接続されかつそのゲートが前記第 2 のノードに接続される第 2 の絶縁ゲート型電界効果トランジスタと、前記第 2 および第 3 のノードに結合され、前記第 2 および第 3 のノードに同じ大きさの電流を流すための第 1 のカレントミラー回路と、前記第 1 の絶縁ゲート型電界効果トランジスタとカレントミラー回路を構成し、前記電源ノードから電流を供給する第 1 の電流源トランジスタと、前記第 1 の電流源トランジスタからの電流を電圧に変換して前記第 1 の基準電圧を生成する第 2 の抵抗素子とを含む第 1 の基準電圧発生回路と、
前記電源ノードと第 4 のノードとの間に接続される第 3 の抵抗素子と、前記電源ノードと第 5 のノードとの間に接続されかつそのゲートが前記第 5 のノードに接続される第 3 の絶縁ゲート型電界効果トランジスタと、前記第 4 のノードと第 6 のノードとの間に接続されかつそのゲートが前記第 5 のノードに接続される第 4 の絶縁ゲート型電界効果トランジスタと、前記第 5 および第 6 のノードに結合され、前記第 5 および第 6 のノードに同じ大きさの電流を流す第 2 のカレントミラー回路と、前記第 3 の絶縁ゲート型電界効果トランジスタとカレントミラー回路を構成し、前記第 3 の絶縁ゲート型電界効果トランジスタを流れる電流に対応する大きさの電流を供給する第 2 の電流源トランジスタと、前記第 2 の電流源トランジスタからの電流を電圧に変換して前記第 2 の基準電圧を生成する第 4 の抵抗素子とを含む第 2 の基準電圧発生回路とを含む、請求項 6 記載の半導体装置。

【請求項 9】 前記第 4 の抵抗素子は、ゲートとドレインが相互接続された絶縁ゲート型電界効果トランジスタを備える、請求項 8 記載の半導体装置。

【請求項 10】 前記第 3 の抵抗素子は、高融点金属シリサイドで構成され、前記第 4 の抵抗素子は、不純物拡散抵抗で構成される、請求項 8 記載の半導体装置。

【請求項 11】 前記 OR 手段は、前記第 1 および第 2 の電圧をゲートに受けかつソースが相互接続されるソース結合トランジスタと、前記ソース結合トランジスタにソースが接続されかつそのゲートおよびドレインが接続される出力トランジスタとを備え、前記出力トランジスタのドレインから前記基準電圧が出力される、請求項 7 記載の半導体装置。

【請求項 12】 外部からの電源電圧を受ける外部電源ノードと内部電源電圧を伝達する内部電源線との間に結

合される電流ドライブトランジスタ、基準電圧と前記内部電源線上の内部電源電圧とを受け、前記基準電圧および前記内部電源電圧のレベルをともに変換して出力するレベル変換回路、および前記レベル変換回路からのレベル変換された基準電圧およびレベル変換された内部電源電圧を比較し、該比較結果に従って前記電流ドライブトランジスタのコンダクタンスを調整する比較回路を備える、半導体装置。

【請求項 13】 前記比較回路は、前記外部電源ノードに結合されて電流を供給するカレントミラー段と、

前記カレントミラー段と接地ノードとの間に結合され、それぞれのゲートに前記レベル変換された内部電源電圧およびレベル変換された基準電圧を受ける絶縁ゲート型電界効果トランジスタ対とを含み、前記絶縁ゲート型電界効果トランジスタ対のそれぞれの一方導通ノードは共通に接地電圧を受けるように結合される、請求項 12 記載の半導体装置。

【請求項 14】 前記レベル変換回路は、第 1 のノードと第 2 のノードとの間に結合されかつ前記内部電源電圧をゲートに受ける第 1 の絶縁ゲート型電界効果トランジスタと、前記第 1 のノードと第 3 のノードとの間に結合されかつ前記基準電圧をゲートに受ける第 2 の絶縁ゲート型電界効果トランジスタと、前記第 2 のノードと接地ノードとの間に結合されかつそのゲートが前記第 3 のノードに結合される第 3 の絶縁ゲート型電界効果トランジスタと、前記第 3 のノードと前記接地ノードとの間に結合されかつそのゲートが前記第 3 のノードに結合される第 4 の絶縁ゲート型電界効果トランジスタとを含み、前記レベル変換された基準電圧が前記第 3 のノードから出力され、かつ前記レベル変換された内部電源電圧が前記第 2 のノードから出力され、かつさらに前記第 1 から第 4 の絶縁ゲート型電界効果トランジスタは同一導電型である、請求項 12 記載の半導体装置。

【請求項 15】 第 1 のノードと第 2 のノードの間に直列に接続される複数の同一導電型の絶縁ゲート型電界効果トランジスタを備え、前記複数の絶縁ゲート型電界効果トランジスタの各々のゲートは、1 つトランジスタを間に置いたトランジスタ間接続ノードに接続され、各トランジスタ間接続ノードは、前記第 1 および第 2 のノード間の電圧を分圧した電圧を出力するノードとなる、半導体装置。

【請求項 16】 前記複数の絶縁ゲート型電界効果トランジスタのバックゲートは、隣接する 2 つの絶縁ゲート型電界効果トランジスタのバックゲートが共通に該隣接する 2 つの絶縁ゲート型電界効果トランジスタの一方の第 1 の導通ノードに接続されるように接続される、請求項 15 記載の半導体装置。

【請求項 17】 一定の電流を供給する定電流源、直列に接続される複数の抵抗素子を含み、前記定電流源からの電流を受けて第 1 および第 2 の基準電圧を発生する基準電圧発生回路、

前記第 1 および第 2 の基準電圧それぞれに従って第 1 および第 2 の内部電源電圧を外部電源電圧から生成する降圧回路、

行列状に配列される複数のメモリセル、各列に対応して設けられ、かつ対応の列上のメモリセルのデータを前記第 1 の内部電源電圧を利用して検知し増幅する複数のセンスアンプ、および前記第 2 の内部電源電圧を使用して、前記メモリセルアレイのメモリセル選択動作を行なう周辺回路を備える、半導体装置。

【請求項 18】 前記基準電圧発生回路は、前記定電流源からの電流を受ける第 1 のノードと第 2 のノードとの間に直列に接続される複数の同一導電型の絶縁ゲート型電界効果トランジスタを備え、前記複数の絶縁ゲート型電界効果トランジスタの各々のゲートは、1 つトランジスタを間に置いたトランジスタ間接続ノードに接続され、前記第 1 のノードから前記第 2 の基準電圧が出力され、前記第 1 のノードに隣接する第 2 の接続ノードまたは前記第 2 の接続ノードに隣接する第 3 の接続ノードから前記第 1 の基準電圧が出力される、請求項 17 記載の半導体装置。

【請求項 19】 複数の直列接続される遅延段を含み、動作モード指示信号を受ける遅延チェーン、前記遅延チェーンの所定の複数のノードの信号をデコードして活性化信号を発生するデコード回路、および前記デコード回路からの活性化信号の活性化にตอบสนองして活性化され、内部電源電圧と基準電圧との差に従って前記内部電源電圧の電圧レベルを調整する降圧回路を備え、前記降圧回路は、前記内部電源電圧と前記基準電圧とを比較するための比較回路と、前記比較回路の出力信号に従って外部電源ノードから前記内部電源電圧を伝達する内部電源線へ電流を供給する電流ドライブトランジスタとを含む、半導体装置。

【請求項 20】 前記デコード回路は、前記降圧回路を活性化する第 1 の活性化信号と、該活性化された降圧回路の比較回路の動作電流を所定期間増加させる第 2 の活性化信号とを生成する手段を含む、請求項 19 記載の半導体装置。

【請求項 21】 前記デコード回路は、前記動作モード指示信号の活性化および非活性化それぞれにตอบสนองして前記第 2 の活性化信号を活性化化する手段を含む、請求項 20 記載の半導体装置。

【請求項 22】 前記降圧回路は、互いに異なる電圧レベルの内部電源電圧をそれぞれ生成する第 1 および第 2 の内部降圧回路を含み、前記第 1 および第 2 の活性化信号はともに前記第 1 の内部降圧回路へ与えられる、請求項 20 記載の半導体装置。

【請求項 23】 前記降圧回路は、互いに異なる電圧レベルの内部電源電圧を生成する第 1 および第 2 の内部降圧回路を含み、

前記第 1 および第 2 の活性化信号は、それぞれ、前記第 1 および第 2 の内部降圧回路へ与えられる、請求項 20 記載の半導体装置。

【請求項 24】 外部電源ノードと内部電源線との間に結合される電流ドライブトランジスタ、

活性化時、基準電圧と前記内部電源線上の電圧に各々対応する電圧を比較し、該比較結果に従って前記電流ドライブトランジスタのコンダクタンスを制御する比較回路、および前記内部電源電圧のレベルに応じて前記比較回路を活性化する活性化手段を備える、半導体装置。

【請求項 25】 前記活性化手段は、前記内部電源電圧と前記基準電圧との差に従って前記比較回路を活性化する方法を含む、請求項 24 記載の半導体装置。

【請求項 26】 前記活性化手段は、前記基準電圧と異なる別の基準電圧と前記内部電源電圧との差に従って前記比較回路を活性化する方法を含む、請求項 24 記載の半導体装置。

【請求項 27】 前記活性化手段は、前記内部電源電圧と前記外部電源電圧との差に応じて前記比較回路を活性化する方法を含む、請求項 24 記載の半導体装置。

【請求項 28】 前記活性化手段は、前記内部電源電圧と前記外部電源電圧の差が所定値以下となると前記比較回路を非活性化する方法を含む、請求項 24 から 26 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体装置に関し、特に、内部で所望のレベルの電圧を発生する内部電圧発生回路の構成に関する。

【0002】

【従来の技術】図 47 は、従来の半導体記憶装置の全体の構成を概略的に示す図である。図 47 において、半導体記憶装置は、行列状に配列される複数のメモリセル MC を有するメモリセルアレイ 100 を含む。メモリセルアレイ 100 において、メモリセル MC の各行に対応してワード線 WL が配置され、メモリセル MC の各列に対応してビット線対 BLP が配置される。ビット線対 BLP とワード線 WL の交差部に対応してメモリセル MC が配置される。

【0003】この半導体記憶装置はさらに、外部からのアドレス信号 ADD を取込み内部アドレス信号を生成するアドレス入力バッファ 200 と、アドレス入力バッファ 200 からの内部行アドレス信号に従ってメモリセルアレイ 100 のアドレス指定された行に対応するワード線 WL を選択状態へ駆動する行選択回路 250 と、選択行に接続されたメモリセルのデータの検知、増幅および

ラッチを行なうセンスアンプ回路 300 と、アドレス入力バッファ 200 からの内部列アドレス信号に従ってメモリセルアレイ 100 のアドレス指定された列を選択する列選択回路 350 と、列選択回路 350 により選択された列のメモリセルとデータの授受を行なう入出力回路 400 とを含む。

【0004】行選択回路 250 は、アドレス入力バッファ 200 からの内部行アドレス信号をデコードするロウデコーダと、このロウデコーダの出力信号に従ってアドレス指定されたワード線を選択状態へ駆動するワード線ドライブ回路を含む。列選択回路 350 は、アドレス入力バッファ 200 からの内部列アドレス信号をデコードするコラムデコーダと、このコラムデコーダからの列選択信号に従ってメモリセルアレイのアドレス指定された列を内部データバス（明確に示さず）へ接続する IO ゲート回路を含む。センスアンプ回路 300 は、ビット線対 BLP それぞれに対応して設けられ、活性化時対応のビット線対の電位を差動増幅するセンスアンプを含む。

【0005】この半導体記憶装置は、さらに、外部から与えられる電源電圧 Vext を降圧して内部電源電圧 Vccp および Vccs を生成する内部電源回路 500 を含む。この内部電源回路 500 からの内部電源電圧 Vccp は、周辺回路、すなわちアドレス入力バッファ 200、行選択回路 250、列選択回路 350 および入出力回路 400 へ与えられる。内部電源電圧 Vccs は、センスアンプ回路 300 へ与えられる。

【0006】内部電源電圧 Vccp は、内部電源電圧 Vccs の電圧レベル以上である。周辺回路へ、高い内部電源電圧 Vccp を与えることにより、周辺回路を高速で動作させる。一方、内部電源電圧 Vccp よりも低い内部電源電圧 Vccs をセンスアンプ回路 300 へ与えることにより、ビット線の充放電電流の低減およびビット線信号振幅の低減による高速センス動作を実現する。また、メモリセル MC が、ダイナミック・ランダム・アクセス・メモリ (DRAM) の場合、アクセストラジスタとキャパシタとで構成されており、このキャパシタ絶縁膜に大きな電圧が印加されるのを防止し、キャパシタ絶縁膜の信頼性を保証し、さらに電圧 Vccs の 1.5 倍程度の大きさの高電圧が印加されるワード線の信頼性を保証する。

【0007】なお、アドレス入力バッファ 200 および入出力回路 400 において、外部装置との間のインタフェースをとる部分においては、外部電源電圧 Vext が用いられる。しかしながら、図 47 において、これは示していない。

【0008】半導体記憶装置の記憶容量が増大するにつれて、その構成要素である MOS トランジスタも微細化される。一方、プロセッサおよびロジックなどの外部装置の動作電源電圧は、これらは半導体記憶装置ほど微細化が進んでいないため、その動作速度を維持するため、

比較的高く設定される。また、前世代の半導体記憶装置との電源電圧の互換性を保持する必要がある。このため、外部電源電圧 V_{ext} を、内部電源回路500で降圧して内部電源電圧 V_{ccp} および V_{ccs} を生成することにより、前世代の半導体記憶装置との互換性を維持したシステム電源電圧との互換性を維持する。

【0009】図48は、図47に示す内部電源回路500の構成を概略的に示す図である。図48において、内部電源回路500は、基準電圧 $V_{ref s}$ を生成する基準電圧発生回路502sと、基準電圧 $V_{ref p}$ を生成する基準電圧発生回路502pと、内部電源電圧 V_{ccs} と基準電圧 $V_{ref s}$ の差に従って、外部電源電圧 V_{ext} を受けるノードから電流を供給して内部（センス）電源電圧 V_{ccs} の電圧レベルを調整する降圧回路504sと、内部（周辺）電源電圧 V_{ccp} と基準電圧 $V_{ref p}$ の差に従って外部電源電圧 V_{ext} を受けるノードから電流を内部電源線に供給して内部電源電圧 V_{ccp} の電圧レベルを調整する降圧回路504pを含む。基準電圧発生回路502sおよび降圧回路504sにより、センスアンプのための内部電源電圧を生成するセンス電源回路が構成され、基準電圧発生回路502pおよび降圧回路504pにより、周辺回路に対する内部電源電圧 V_{ccp} を生成する周辺電源回路が構成される。センス電源回路および周辺電源回路を別々に設けるのは以下の理由による。

【0010】図47に示すセンスアンプ回路300の動作時において、選択ワード線WLに接続されるビット線対BLPにおいて充放電が行なわれる。このセンスアンプ動作時における充放電電流は、比較的大きな電流値を有しており、この大きな電流消費を補償するために、センス電源回路の降圧回路504sは、大きな電流駆動力が必要とされる。しかしながら、ビット線対BLPの充放電を行なうだけでよく、内部電源電圧（以下、センス電源電圧と称す） V_{ccs} を高速で元の状態に復帰させる必要はなく、したがって降圧回路504sは、高速応答性はそれほど要求されない。一方、周辺電源回路の降圧回路504pにおいては、周辺回路動作時においては、これらの周辺回路を高速でかつ安定に動作させるために、内部電源電圧（以下、周辺電源電圧と称す） V_{ccp} の電圧変動を高速で補償する必要があり、高速応答特性が要求される。一方、周辺回路動作時においては、センスアンプ動作時に比べて小さな電流が消費されるだけである。したがって、周辺電源回路の降圧回路504pは、比較的小さい電流量は小さいものの、高速応答特性を有することが要求される。これらの異なる要求される特性のために、センス電源回路および周辺電源回路が別々に設けられる。

【0011】

【発明が解決しようとする課題】従来の半導体記憶装置においては、周辺回路およびセンスアンプ回路それぞれ

に対し別々に電源回路が設けられる。センス電源電圧 V_{ccs} と周辺電源電圧 V_{ccp} は、電圧レベルが異なるため、これらの電源電圧 V_{ccs} および V_{ccp} の電圧レベルを決定する基準電圧 $V_{ref s}$ および $V_{ref p}$ も、それぞれ別々の基準電圧発生回路502sおよび502pから生成される。このため、内部電源回路500において基準電圧発生回路が占める面積が大きくなり、回路占有面積を低減することができないという問題がある。また、これらの基準電圧発生回路502sおよび502pが別々に設けられているため、基準電圧 $V_{ref s}$ および $V_{ref p}$ の電圧レベル調整時、これらを別々に調整する必要があり、その電圧レベル調整（トリミング）の手間がかかるという問題があった。

【0012】図49は、図48に示す降圧回路504sおよび504pの構成の一例を示す図である。センス電源電圧 V_{ccs} を生成するセンス降圧回路504sおよび周辺電源電圧 V_{ccp} を生成する周辺降圧回路504pは、ともに同じ構成を備えるため、図49においては、降圧回路504を代表的に示す。

【0013】図49において、降圧回路504は、内部電源線505d上の内部電源電圧 V_{cc} と基準電圧 V_{ref} とを比較する比較器505aと、比較器505aの出力信号に従って外部電源電圧 V_{ext} を受ける外部電源ノードから内部電源線505dへ電流を供給するnチャネルMOSトランジスタで構成される電流ドライブ回路505bと、電源投入検出信号/PORに応答して電源投入後内部電源線505dに外部電源電圧 V_{ext} を伝達するpチャネルMOSトランジスタで構成されるリセットトランジスタ505cを含む。電源投入検出信号/PORは、電源投入後、外部電源電圧 V_{ext} が所定電圧レベルに到達するかまたは安定状態となるまでLレベルの活性状態とされ、内部回路ノードの初期設定を行なうために用いられる。

【0014】比較器505aは、通常、差動増幅器で構成され、正入力に内部電源電圧 V_{cc} を受け、負入力に基準電圧 V_{ref} を受ける。内部電源電圧 V_{cc} が基準電圧 V_{ref} よりも高いときには、比較器505aの出力信号はHレベルとなり、電流ドライブトランジスタ505bはオフ状態を維持する。一方、内部電源電圧 V_{cc} が基準電圧 V_{ref} よりも低い場合には、比較器505aの出力信号は、これらの電圧 V_{cc} および V_{ref} の差に応じてローレベルとなり、電流ドライブトランジスタ505bのコンダクタンスが大きくなる。これにより、外部電源ノードから内部電源線505dに電流が供給され、内部電源電圧 V_{cc} の電圧レベルが上昇する。したがって、この図49に示す降圧回路504の構成においては、内部電源電圧 V_{cc} が、ほぼ基準電圧 V_{ref} の電圧レベルに維持される。

【0015】図50は、内部電源電圧 V_{cc} 、基準電圧 V_{ref} および外部電源電圧 V_{ext} の関係を示す図で

ある。図50において、横軸は外部電源電圧 V_{ext} の電圧レベルを示し、縦軸に各電圧を示す。基準電圧 V_{ref} は、外部電源電圧 V_{ext} から生成される。基準電圧 V_{ref} は、定電流源と抵抗回路から通常構成され、外部電源電圧 V_{ext} が低い電圧レベルのときには、この外部電源電圧 V_{ext} のレベルに従って基準電圧 V_{ref} の電圧レベルも上昇する。外部電源電圧 V_{ext} が所定電圧レベル以上となると、基準電圧 V_{ref} は、この外部電源電圧 V_{ext} の電圧レベルに係わらず一定の電圧 V_a のレベルを維持する。内部電源電圧 V_{cc} は、この基準電圧 V_{ref} と内部電源線505d上の電圧との比較に基づいて生成される。内部電源電圧 V_{cc} は、ほぼ基準電圧 V_{ref} の電圧レベルに等しいが、しかしながら電流ドライブトランジスタ505bのチャネル抵抗により、内部電源電圧 V_{cc} の電圧レベルは、基準電圧 V_{ref} の電圧レベルよりも少し低い。

【0016】電源電圧 V_{ext} が投入され、外部電源電圧 V_{ext} の電圧レベルが上昇すると応じて基準電圧 V_{ref} も電圧レベルが上昇する。比較器505aおよび電流ドライブトランジスタ505bは、この内部電源線505d上の電圧と基準電圧 V_{ref} の比較結果に従って内部電源電圧 V_{cc} の電圧レベルを調整する。したがって、外部電源電圧 V_{ext} が投入されてその電圧レベルが上昇し、基準電圧 V_{ref} の電圧レベル上昇が上昇すると、応じて内部電源電圧 V_{cc} の電圧レベルも上昇する。基準電圧 V_{ref} が一定電圧レベルに到達し、安定化すると、また内部電源電圧 V_{cc} の電圧レベルも安定化する。したがって、内部電源電圧 V_{cc} の電圧レベルは、基準電圧 V_{ref} の電圧レベルが安定化した後に安定化するため、外部電源電圧 V_{ext} 投入後、高速で内部電源電圧 V_{cc} を安定化することができなくなる。そこで、図49に示すようにリセットトランジスタ505cを用いて電源投入時、この内部電源線504上の電圧レベルを所定期間外部電源電圧 V_{ext} の電圧レベルに応じて上昇させる。

【0017】図51は、電源投入時の内部電源電圧の変化を示す図である。図51において、時刻 t_0 において電源投入が行なわれ、外部電源電圧 V_{ext} の電圧レベルが上昇する。この状態において、電源投入検出信号/ POR は L レベルを維持する。したがって、リセットトランジスタ505cがオン状態となり、内部電源線505d上の電圧 V_{cc} は、外部電源電圧 V_{ext} の電圧レベルに応じて変化する。

【0018】時刻 t_1 において、外部電源電圧 V_{ext} が所定の電圧レベル V_b のレベルに到達すると、電源投入検出信号/ POR が H レベルの非活性状態となり、リセットトランジスタ505cがオフ状態となる。この後は、比較回路505aおよび電流ドライブトランジスタ505bにより、内部電源電圧 V_{cc} が基準電圧 V_{ref} レベルにまで駆動される。

【0019】このリセットトランジスタ505cを用いることにより、内部電源線505d上の内部電源電圧 V_{cc} の電圧レベルを電源投入後高速で立上げて、早いタイミングで、所定の電圧レベル（基準電圧 V_{ref} レベル）に安定化させることができる。

【0020】しかしながら、この場合、電源投入後、電源投入検出信号/ POR が非活性状態の H レベルとなるまで、内部電源線505dは、外部電源電圧を受けるノードに結合される。このため内部電源線505d上に、たとえば電源ノイズなどにより不必要に高い電圧が印加され、この内部電源線505d上の内部電源電圧 V_{cc} を利用する回路が破壊される（ゼロタイム破壊）、またはその信頼性が低下する（大きな電圧ストレスが、電源投入ごとに印加されるため）。特に、この降圧回路504が、内部回路動作時においてのみ活性化される場合、内部電源線505d上の電圧 V_{cc} は、別に設けられた電流駆動力の小さな常時動作するスタンバイ降圧回路に従って所定の電圧レベルへ駆動する必要がある。高速で内部電源電圧 V_{cc} を安定化させるためには、電源投入検出信号/ POR のタイミング調整が煩わしくなり、内部回路の信頼性を確保するのが困難になるという問題が生じる。また、図51の破線波形で示すように、この電源投入検出信号/ POR が長い期間活性状態の L レベルに保持された場合、内部電源電圧 V_{cc} が基準電圧 V_{ref} よりも高い電圧レベルに駆動され、内部回路に必要な以上の高電圧が印加されることになり、素子特性が劣化するまたは回路素子が破壊される。

【0021】図52は、基準電圧 V_{ref} および内部電源電圧 V_{cc} の温度依存性を示す図である。図52において、横軸に温度 T を示し、縦軸に電圧 V を示す。図52に示すように、基準電圧 V_{ref} および内部電源電圧 V_{cc} は、正の温度特性を有しており、温度 T が高くなるにつれてその電圧レベルが上昇する。これは、低温動作領域においては、内部回路に含まれる絶縁ゲート型電界効果トランジスタ（MOSトランジスタ）の発生したホットキャリアのゲート絶縁膜トラップに起因する素子特性劣化を防止し、かつ高温動作時において、ホットキャリアに起因するチャネル抵抗の実質的な増加によるドレイン電流低下に伴う動作速度の低下を補償することを図る。しかしながら、この正の温度特性を内部電源電圧 V_{cc} が有する場合、低温領域で以下の問題が生じる。すなわち、低温領域において、MOSトランジスタはそのしきい値電圧の絶対値が大きくなる。したがって、MOSトランジスタのゲート電圧がこの低温領域において低下した場合、MOSトランジスタの実効的なゲートソース間電圧の絶対値が小さくなり、MOSトランジスタが高速動作できなくなるか、または誤動作する（オン状態とならない）問題が生じる。特に、センスアンプ回路に含まれるセンスアンプの場合、中間電圧レベルのビット線電圧とセンス電源電圧 V_{ccs} との差を増幅する

ため、その構成要素のMOSトランジスタのゲートソース間電圧は、動作開始時に最大 $V_{ccs}-V_{ccs}/2$ となり、このMOSトランジスタのしきい値電圧の絶対値の増大およびセンス電源電圧 V_{ccs} の低下の影響が顕著となる。低温領域においてこのセンス電源電圧 V_{ccs} を最適化した場合、高温動作時にセンス電源電圧 V_{ccs} が高くなりすぎ、ゲート絶縁膜の破壊または劣化などの問題が生じる。

【0022】このセンスアンプ回路を高速動作させるために、センス動作開始時、このセンスアンプ回路へ与えられるセンス電源電圧 V_{ccs} のレベルを上昇させることが考えられる。この場合、センスアンプ回路に対するセンスアンプ電源電圧を、周辺電源電圧 V_{ccp} レベルにまで上昇させてキャパシタにこの昇圧電圧を蓄積する。センス動作時にこのキャパシタに蓄積された電荷を利用してセンス動作を行なうことにより、高速のセンス動作を行なうことを図る。しかしながら、このような場合、センスアンプ電源電圧 V_{ccs} を電圧するセンス電源線に昇圧電圧用のキャパシタを設ける必要がある。この場合、キャパシタの容量値をマージンを見込んで設定した場合、必要以上にキャパシタ占有面積が大きくなり、チップ面積が増大するという問題が生じる。

【0023】また、システム全体の消費電流を低減するために、外部電源電圧 V_{ext} の電圧レベルが低くされる。この外部電源電圧 V_{ext} の電圧レベルが低下し、図50に示す電圧 V_a のレベルに近くなったとき、すなわち外部電源電圧 V_{ext} と内部電源電圧 V_{cc} の差が小さくなったとき、図49に示す電流ドライフトランジスタ505bのソースドレイン間電圧が小さくなり、この電流ドライフトランジスタ505bの電流供給能力が低下し、内部電源電圧 V_{cc} の変化時、高速で内部電源電圧 V_{cc} の低下を補償することができなくなり、安定に内部電源電圧 V_{cc} を所定電圧レベルに保持することができなくなる。この外部電源電圧 V_{ext} の低下時の外部電源ノードから内部電源線への供給電流量の低下は、また、以下に示すように、比較器の出力信号もその1つの原因を構成する。

【0024】図53は、図49に示す比較器505aの構成の一例を示す図である。図53において、比較器505aは、外部電源ノードとノードNDAの間に接続されかつそのゲートがノードNDBに接続されるpチャネルMOSトランジスタPQ1と、外部電源ノードとノードNDBの間に接続されかつそのゲートがノードNDBに接続されるpチャネルMOSトランジスタPQ2と、ノードNDAとノードNDCの間に接続されかつそのゲートに基準電圧 V_{ref} を受けるnチャネルMOSトランジスタNQ1と、ノードNDBとノードNDCの間に接続されかつそのゲートに内部電源電圧 V_{cc} を受けるnチャネルMOSトランジスタNQ2と、ノードNDCと接地ノードとの間に接続されかつそのゲートに活性化

信号ACTを受けるnチャネルMOSトランジスタNQ3を含む。ノードNDAは、電流ドライフトランジスタ505bのゲートに接続される。

【0025】MOSトランジスタPQ1およびPQ2はカレントミラー回路を構成し、同じ大きさの電流をMOSトランジスタNQ1およびNQ2へ伝達する。MOSトランジスタNQ3は電流源トランジスタであり、この比較器505aの動作電流を制限する。活性化信号ACTは内部電源線505dに接続される回路が動作し、この内部電源電圧 V_{cc} を消費するときに活性化される。

【0026】この図53に示す比較器505aの構成の場合、MOSトランジスタNQ3のチャネル抵抗により、ノードNDCの電圧レベルは接地電圧レベルよりも高くなる。MOSトランジスタNQ1およびNQ2のバックゲートが接地電圧レベルに接続されている場合、このノードNDCの電圧レベルが上昇すると、MOSトランジスタNQ1およびNQ2のバックゲート効果が大きくなり、それらのしきい値電圧が高くなり、その駆動電流量が小さくなる。ノードNDAの最低到達電位が、ノードNDC上の電圧レベルであり、接地電圧レベルよりも高くなる。このノードNDAは、電流ドライフトランジスタ505bのゲートに接続されている。したがって、外部電源電圧 V_{ext} の電圧レベルが低下すると、この電流ドライフトランジスタ505bのゲートソース間電圧がさらに小さくなり、電流ドライフトランジスタ505bの電流供給能力が小さくなる。したがって、外部電源電圧 V_{ext} と内部電源電圧 V_{cc} の差が小さくなると、電流ドライフトランジスタ505bのソースドレイン間電圧が小さくなり、かつゲートソース間電圧が小さくなり、この電流ドライフトランジスタ505bの電流供給能力がさらに低下する。この電流ドライフトランジスタ505bの電流供給能力を大きくするためには、そのゲート幅 W を、たとえば数mmの大きさに設定する必要があり、回路占有面積が増加するという問題が生じる。

【0027】また、活性化信号ACTは、内部電源線505d上の内部電源電圧 V_{cc} の消費に合わせて活性化するためには、この活性化信号ACTを生成するための回路占有面積はできるだけ小さくする必要がある。

【0028】また、図53に示すような、活性化信号ACTに応答して選択的に活性化される降圧回路ではなく、スタンバイ時においても動作し、スタンバイ時のリーク電流を補償する降圧回路の場合、活性化信号ACTに代えて、一定電圧レベルのバイアス電圧が与えられる。この場合、ノードNDCの電圧レベルがより高くなり（電流源トランジスタのコンダクタンスが小さくなるため）、この外部電源電圧 V_{ext} が低い場合、電流ドライフトランジスタの電流供給能力が低下するという問題がより顕著となり、スタンバイ時、リーク電流を補償するために、大きな占有面積の電流ドライフトランジ

10

20

30

40

50

タを用いる必要が生じるという問題が生じる。

【0029】上述のように、従来の内部電源回路の場合、動作パラメータ（動作温度および電源電圧）の広い範囲にわたって安定に内部電源電圧を小占有面積でかつ低消費電流で生成することができないという問題があった。

【0030】それゆえ、この発明の目的は、安定に内部回路を動作させる内部電源電圧を生成することのできる内部電源回路を提供することである。

【0031】この発明の他の目的は、低占有面積で安定に10 所望のレベルの内部電源電圧を発生することのできる内部電源回路を提供することである。

【0032】この発明のさらに他の目的は、広い動作パラメータ範囲にわたって安定に内部回路を動作させる内部電源電圧を低消費電流かつ低占有面積で発生することのできる内部電源回路に適用することのできる回路要素を提供することである。

【0033】

【課題を解決するための手段】請求項1に係る半導体装置は、外部電源電圧から内部電源電圧を生成するための20 内部電源回路と、この内部電源回路からの内部電源電圧を利用する内部回路と、この内部電源電圧を伝達する内部電源線に結合される容量素子と、この容量素子の容量値を調整するための手段を備える。

【0034】請求項2に係る半導体装置は、請求項1の内部電源回路が、第1の基準電圧を発生する手段と、この第1の基準電圧と異なる電圧レベルの第2の基準電圧を発生する手段と、切替信号にตอบสนองして第1および第2の基準電圧の一方を選択する選択手段と、選択手段からの基準電圧と内部電源線上の電圧とに従って外部電源電30 圧を供給するノードから内部電源線へ電流を供給する降圧手段を備える。

【0035】請求項3に係る半導体装置は、請求項2の装置が、さらに、特定の動作モードを指定する特定動作モード指示信号にตอบสนองして、第1の基準電圧発生手段の発生する第1の基準電圧を外部から設定可能とするためのモード設定手段を備える。

【0036】請求項4に係る半導体装置は、請求項1の内部回路が、行列状に配列される複数のメモリセルと、メモリセルの各列に対応して配置され、各々が内部電源40 電圧を一方動作電源電圧として利用して活性化時対応の列のメモリセルのデータを検知し増幅しかつラッチする複数のセンスアンプを含む。

【0037】請求項5に係る半導体装置は、請求項1の内部回路が、複数のメモリセルと、これら複数のメモリセルのうちの選択されたメモリセルのデータを外部へ出力するための出力回路とを含む。この出力回路は選択メモリセルのデータの電圧レベルを変換するためのレベル変換回路を含む。このレベル変換回路は内部電源電圧を一方動作電源電圧として動作する。

【0038】請求項6に係る半導体装置は、第1の温度領域で負またはゼロの温度特性を有しかつ第1の温度領域よりも高温の第2の温度領域では正の温度特性を有する基準電圧を発生する手段と、この基準電圧に基づいて内部電源電圧を発生する手段とを備える。

【0039】請求項7に係る半導体装置は、請求項6の基準電圧発生手段が、同一材料で形成される第1および第2の抵抗素子の抵抗比に比例する第1の電圧を発生する第1の電圧発生手段と、互いに異なる材料で形成される第3および第4の抵抗素子の抵抗比に比例する第2の電圧を発生する第2の電圧発生手段と、これら第1および第2の電圧発生手段からの第1および第2の電圧を受けて、高い方の電圧レベルに応じた電圧を基準電圧として発生するOR手段とを備える。

【0040】請求項8に係る半導体装置は、請求項6の第1の電圧発生手段が、外部電源電圧を受ける外部電源ノードと第1のノードとの間に接続される第1の抵抗素子と、外部電源ノードと第2のノードとの間に接続されかつそのゲートが第2のノードに接続される第1導電型の絶縁ゲート型電界効果トランジスタと、第1のノードと第3のノードとの間に接続されかつそのゲートが第2のノードに接続される第1導電型の第2の絶縁型電界効果トランジスタと、これら第2および第3のノードに同じ大きさの電流の流れを生じさせるカレントミラー回路と、第1の絶縁ゲート型電界効果トランジスタとカレントミラー回路を構成して、電流を供給する第1の電流源トランジスタと、この第1の電流源トランジスタからの電流を電圧に変換して第1の電圧を生成する第2の抵抗素子とを含む。

【0041】第2の電圧発生手段は、外部電源ノードと第4のノードとの間に接続される第3の抵抗素子と、外部電源ノードと第5のノードとの間に接続されかつそのゲートが第5のノードに接続される第1導電型の第3の絶縁ゲート型電界効果トランジスタと、第4のノードと第6のノードとの間に接続されかつそのゲートが第5のノードに接続される第1導電型の第4の絶縁ゲート型電界効果トランジスタと、第5および第6のノードに同じ大きさの電流を供給する第2のカレントミラー回路と、第3の絶縁ゲート型電界効果トランジスタとカレントミラー回路を構成する第2の電流源トランジスタと、この第2の電流源トランジスタの供給する電流を電圧に変換して、第2の電圧を生成する第4の抵抗素子を含む。

【0042】請求項9に係る半導体装置は、請求項8の第4の抵抗素子はゲートとドレインが相互接続された絶縁ゲート型電界効果トランジスタで構成される。

【0043】請求項10に係る半導体装置は、請求項8の第3の抵抗素子が高融点金属シリサイドで構成され、第4の抵抗素子が不純物拡散抵抗で構成される。好ましくは、この不純物拡散抵抗は、P型不純物を高濃度を含む。

【0044】請求項11に係る半導体装置は、請求項7のOR手段が、第1および第2の電圧をそれぞれのゲートに受けるソースカップル段と、このソースカップル段とソースが接続されかつそのゲートおよびドレインが基準電圧出力ノードに接続される絶縁ゲート型電界効果トランジスタを含む。請求項12に係る半導体装置は、外部電源電圧を受ける外部電源ノードと内部電源線との間に結合される電流ドライフトランジスタと、基準電圧と内部電源線上の内部電源電圧とを受け、これらの基準電圧および内部電源電圧のレベルをともに変換するレベル変換回路と、このレベル変換回路からのレベル変換された基準電圧および内部電源電圧を比較し、その比較結果に従って電流ドライフトランジスタのコンダクタンスを調整する比較回路を備える。

【0045】請求項13に係る半導体装置は、請求項12の比較回路が、外部電源ノードに結合されて電流を供給するカレントミラー段と、このカレントミラー段と接地ノードとの間に結合され、ゲートにレベル変換された内部電源電圧および基準電圧をそれぞれ受ける絶縁ゲート型電界効果トランジスタ対とを含む。これら絶縁ゲート型電界効果トランジスタ対のそれぞれの一方導通ノードは接地電圧を受ける。

【0046】請求項14に係る半導体装置は、請求項12のレベル変換回路が、第1のノードと第2のノードとの間に結合されかつ内部電源電圧をゲートに受ける第1の絶縁ゲート型電界効果トランジスタと、第1のノードと第3のノードとの間に結合されかつ基準電圧をゲートに受ける第2の絶縁ゲート型電界効果トランジスタと、第2のノードと接地ノードとの間に結合されかつそのゲートが第3のノードに結合される第3の絶縁ゲート型電界効果トランジスタと、第3のノードと接地ノードとの間に結合されかつそのゲートが第3のノードに結合される第4の絶縁ゲート型電界効果トランジスタとを含む。レベル変換された基準電圧が第3のノードから出力され、レベル変換された内部電源電圧が第2のノードから出力される。また、第1から第4の絶縁ゲート型電界効果トランジスタは同一導電型のトランジスタである。

【0047】請求項15に係る半導体装置は、第1のノードと第2のノードとの間に直列に接続される複数の同一導電型の絶縁ゲート型電界効果トランジスタを備える。これら複数の絶縁ゲート型電界効果トランジスタの各々のゲートは、1つトランジスタを間に置いたトランジスタ間接続ノードに接続される。各接続ノードは、第1および第2のノード間の電圧を分圧した電圧を出力するノードとなる。

【0048】請求項16に係る半導体装置は、請求項15の複数の絶縁ゲート型電界効果トランジスタのバックゲートが、隣接する2つの絶縁ゲート型電界効果トランジスタのバックゲートが共通に該隣接する2つの絶縁ゲート型電界効果トランジスタの一方の第1の導通ノード

に接続されるように接続される。トランジスタ間の接続ノードは、隣接する2つの絶縁ゲート型電界効果トランジスタの第1および第2の導通ノードが接続される。

【0049】請求項17に係る半導体装置は、定電流源と、直列に接続される複数の抵抗素子を含み、この定電流源からの電流を受けて第1および第2の基準電圧を発生する基準電圧発生回路と、これら第1および第2の基準電圧それぞれに従って第1および第2の内部電源電圧を外部電源電圧から生成する降圧回路と、行列状に配列される複数のメモリセルを有するメモリアレイと、メモリセル各列に対応して設けられ、第1の内部電源電圧を利用して、活性化時対応の列のメモリセルのデータの検知および増幅を行なう複数のセンスアンプと、第2の内部電源電圧を使用してメモリセル選択動作を行なう周辺回路を備える。

【0050】請求項18に係る半導体装置は、請求項17の基準電圧発生回路が、定電流源からの電流を受ける第1のノードと第2のノードとの間に直列に接続される複数の同一導電型の絶縁ゲート型電界効果トランジスタを備える。これら複数の絶縁ゲート型電界効果トランジスタの各々のゲートは、1つトランジスタを間に置いたトランジスタ間接続ノードに接続される。各接続ノードは第1および第2のノード間の電圧を分圧した電圧を出力するノードとなる。トランジスタ間接続ノードは、隣接MOSトランジスタ対の一方の第1導通ノードおよび他方の第2導通ノードが接続する。

【0051】請求項19に係る半導体装置は、複数の直列接続される遅延段を含み、動作モード指示信号を受ける遅延チェーンと、この遅延チェーンの所定の複数のノードの信号をデコードして活性化信号を発生するデコード回路と、このデコード回路からの活性化信号の活性化にตอบสนองして活性化され、内部電源電圧と基準電圧との差に応じて内部電源電圧のレベルを調整する降圧回路を含む。この降圧回路は、内部電源電圧および基準電圧それぞれに対応する電圧を比較する比較回路を含む。

【0052】請求項20に係る半導体装置は、請求項19のデコード回路が、降圧回路を活性化する第1の活性化信号と、この活性化された降圧回路の比較回路の動作電流を所定期間増加させる第2の活性化信号を生成する手段を含む。

【0053】請求項21に係る半導体装置は、請求項20のデコード回路が、動作モード指示信号の活性化および非活性化それぞれにตอบสนองして第2の活性化信号を活性化手段を含む。

【0054】請求項22に係る半導体装置は、請求項20の降圧回路が、第1の基準電圧と第1の内部電源電圧との差に応じて第1の内部電源電圧のレベルを調整する第1の内部降圧回路と、この第1の降圧回路と別に設けられ、第2の基準電圧と第2の内部電源電圧とを比較し該比較結果に従って第2の内部電源電圧のレベルを調整

する第2の内部降圧回路とを含む。第1および第2の活性化信号は、ともに、第1の内部降圧回路へ与えられる。

【0055】請求項23に係る半導体装置は、請求項20の降圧回路が、第1の基準電圧と第1の内部電源電圧との差に応じて第1の内部電源電圧のレベルを調整する第1の内部降圧回路と、この第1の内部降圧回路とは別に設けられ、第2の基準電圧と第2の内部電源電圧との差に応じて第2の内部電源電圧のレベルを調整する第2の内部降圧回路とを含む。第1および第2の活性化信号は、それぞれ、第1および第2の内部降圧回路へ与えられる。

【0056】請求項24に係る半導体装置は、外部電源電圧を受ける外部電源ノードと内部電源線との間に結合される電流ドライブトランジスタと、活性化時基準電圧とこの内部電源線上の内部電源電圧に各々対応する電圧を比較し、該比較結果に従って電流ドライブトランジスタのコンダクタンスを制御する比較回路と、内部電源電圧のレベルに応じて比較回路を活性化する活性化手段を備える。

【0057】請求項25に係る半導体装置は、請求項24の活性化手段が、内部電源電圧と基準電圧との差に従って比較回路を活性化する手段を含む。

【0058】請求項26に係る半導体装置は、請求項24の活性化手段が、基準電圧と異なる別の基準電圧と内部電源電圧との差に従って比較回路を活性化する手段を含む。

【0059】請求項27に係る半導体装置は、請求項24の活性化手段が、内部電源電圧と外部電源電圧との差に応じて比較回路を活性化する手段を含む。

【0060】請求項28に係る半導体装置は、請求項24ないし27のいずれかの活性化手段が、内部電源電圧と外部電源電圧との差が所定値以下となると比較回路を非活性化する手段を含む。

【0061】容量素子の容量値を調整することにより、安定に所望の電圧レベルの内部電源電圧を内部回路へ伝達することができ、また容量素子の容量値を調整可能とすることにより、その占有面積を最小とすることができる。

【0062】内部電源電圧の基準となる基準電圧を、第1の温度領域で負またはゼロの温度特性を持たせかつ第2の温度領域で正の温度特性を持たせることにより、低温領域および高温領域いずれにおいても、内部電源電圧レベルを最適化でき、内部回路の電界効果トランジスタを高速かつ安定に動作させることができる。

【0063】また基準電圧および内部電源電圧のレベルを変換した後に、比較することにより、比較器の動作領域を最適領域に設定することができ、外部電源電圧低下時においても、応答特性の優れた降圧回路を実現することができる。

【0064】また、直列接続されるMOSトランジスタのゲートを、1つ離れたトランジスタの接続ノードに接続することにより、しきい値電圧の影響を低減して、安定にこれらのMOSトランジスタを抵抗モードで動作させて、所望の電圧レベルの内部電圧を生成することができる。

【0065】1つの基準電圧発生回路から、第1および第2の基準電圧を発生する構成とすることにより、基準電圧発生回路の占有面積を低減することができる。

10 【0066】また、遅延信号のデコードにより、活性化信号を生成することにより、制御回路の占有面積を低減することができる。

【0067】また、内部電源電圧のレベルに応じて降圧回路の比較回路を選択的に活性化することにより、電源投入時においても、内部電源電圧レベルに応じて降圧回路を動作させることができ、内部電源線上に不必要に高い電圧が印加されるのを防止することができ、内部回路が破壊されるのを防止することができる。

【0068】

20 【発明の実施の形態】〔全体の構成〕図1は、この発明が適用される半導体記憶装置の全体の構成を概略的に示す図である。図1において、この半導体記憶装置は、従来と同様、メモリセルアレイ100、アドレス入力バッファ200、行選択回路250、センスアンプ回路300、列選択回路350および入出力回路400を含む。アドレス入力バッファ200、行選択回路250、列選択回路350および入出力回路400は、それぞれ周辺電源電圧 V_{ccp} を一方動作電源電圧として受ける。センスアンプ回路300は、センス電源電圧 V_{ccs} を受ける。

30 【0069】この半導体記憶装置はさらに、外部電源電圧 V_{ext} から周辺電源電圧 V_{ccp} およびセンス電源電圧 V_{ccs} を生成する内部電源回路1と、この内部電源回路1の発生する電源電圧 V_{ccp} および V_{ccs} のレベルを動作モードに応じて調整する電圧レベル制御回路10を含む。内部電源回路1の構成は以下に詳細に説明するが、小占有面積で、広い外部電源電圧領域および温度領域にわたって安定に電源電圧 V_{ccp} および V_{ccs} を生成する。電圧レベル制御回路10は、電源投入時またはこの半導体記憶装置のセンスアンプ動作時において、内部電源回路1からの電源電圧 V_{ccp} および/または V_{ccs} の電圧レベルを調整しかつ安定化する。内部電源回路1および電圧レベル制御回路10により小占有面積で安定に内部電源電圧を生成して、この半導体記憶装置の内部回路を安定に動作させることができる。

【0070】なお、内部電源回路1は、内部に含まれる基準電圧発生回路からの基準電圧と内部電源電圧 V_{cc} (V_{ccp} または V_{ccs})との比較結果に応じてこの内部電源電圧の電圧レベルを調整する。

50 【0071】〔実施の形態1〕

基準電圧発生回路 1 : 図 2 は、この発明の実施の形態 1 に従う基準電圧発生回路の構成を示す図である。図 2 において、基準電圧発生回路 2 は、温度上昇とともにその電圧レベルが上昇する正の温度特性を有する第 1 の電圧 V_1 を発生する第 1 の電圧発生回路 2 a と、温度上昇とともにその電圧レベルが低下するかまたは一定となる負またはゼロの温度特性を有する第 2 の電圧 V_2 を生成する第 2 の電圧発生回路 2 b と、第 1 の電圧 V_1 および第 2 の電圧 V_2 のうちの高い電圧レベルの電圧を選択して基準電圧 V_{ref} として出力する OR 回路 2 c を含む。

【0072】第 1 の電圧発生回路 2 a は、外部電源ノードとノード NDD の間に接続されかつそのゲートがノード NDD に接続される p チャネル MOS トランジスタ Q 1 と、そのソースが抵抗素子 R 1 を介して外部電源ノードに接続されかつドレインがノード NDE に接続されかつゲートがノード NDD に接続される p チャネル MOS トランジスタ Q 2 と、ノード NDD と接地ノードの間に接続されかつそのゲートがノード NDE に接続される n チャネル MOS トランジスタ Q 3 と、ノード NDE と接地ノードの間に接続されかつそのゲートがノード NDE に接続される n チャネル MOS トランジスタ Q 4 と、ノード NDD の電圧レベルに応じて外部電源ノードから電流を供給する p チャネル MOS トランジスタ Q 5 と、この MOS トランジスタ Q 5 から供給される電流 I_3 を電圧に変換して第 1 の電圧 V_1 を生成する抵抗素子 R_{L1} を含む。MOS トランジスタ Q 1 のチャネル幅 W_1 は、MOS トランジスタ Q 2 のチャネル幅 W_2 よりも十分小さくされる。MOS トランジスタ Q 3 および Q 4 はカレントミラー回路を構成し、また MOS トランジスタ Q 1 および Q 5 はカレントミラー回路を構成する。抵抗素子 R 1 および R_{L1} は、同じ材料で構成される。

【0073】第 2 の電圧発生回路 2 b は、第 1 の電圧発生回路 2 a と同様の構成を備える。しかしながら、この第 2 の電圧発生回路 2 b は、抵抗素子 R 2 および R_{L2} が材料が異なる。他の構成はこの第 1 の電圧発生回路 2 a と同じであり、対応する部分には同じ参照番号を付す。したがって MOS トランジスタ Q 1 ~ Q 5 は、第 1 の電圧発生回路 2 a および第 2 の電圧発生回路 2 b において、同じサイズ（チャネル幅とチャネル長の比）の関係を満たす。

【0074】OR 回路 2 c は、外部電源ノードとノード NDF の間に接続されかつそのゲートがノード NDF に接続される p チャネル MOS トランジスタ Q 6 と、外部電源ノードとノード NDG の間に接続されかつそのゲートがノード NDF に接続される p チャネル MOS トランジスタ Q 7 と、ノード NDF とノード NDH の間に接続されかつそのゲートに第 1 の電圧 V_1 を受ける n チャネル MOS トランジスタ Q 8 と、ノード NDF とノード NDH の間に接続されかつそのゲートに第 2 の電圧 V_2 を受ける n チャネル MOS トランジスタ Q 9 と、ノード N

DG とノード NDH の間に接続されかつそのゲートがノード NDG に接続される n チャネル MOS トランジスタ Q 10 と、ノード NDH と接地ノードの間に接続されかつそのゲートに外部電源電圧 V_{ext} を受ける n チャネル MOS トランジスタ Q 11 を含む。MOS トランジスタ Q 6 および Q 7 がカレントミラー回路を構成し、MOS トランジスタ Q 8、Q 9 および Q 10 がソース結合論理（ソース・カップルド・ロジック）を構成する。次に、動作について説明する。

【0075】まず、第 1 の電圧発生回路 2 a の動作について説明する。MOS トランジスタ Q 3 および Q 4 は、カレントミラー回路を構成し、また、これらの MOS トランジスタ Q 3 および Q 4 のサイズ（チャネル幅とチャネル長の比）は互いに等しくされており、MOS トランジスタ Q 1 および Q 2 には、同じ大きさの電流が流れる（ $I_1 = I_2$ ）。MOS トランジスタ Q 1 および Q 2 は、そのチャネル幅が異なっている。抵抗素子 R 1 は、十分大きな抵抗値を有しており、MOS トランジスタ Q 1 および Q 2 に流れる電流は微小電流であり、これらの MOS トランジスタ Q 1 および Q 2 はサブスレッショルド領域で動作する。MOS トランジスタ Q 1 のゲートソース間電圧を、電圧 V_{gs1} とし、MOS トランジスタ Q 2 のゲートソース間電圧を、電圧 V_{gs2} とする。これらの MOS トランジスタ Q 1 および Q 2 がサブスレッショルド領域で動作しており、またカレントミラー回路 Q 3 および Q 4 により、電流 I_1 および I_2 の大きさが等しいため、次式が得られる。

【0076】

$$I_0 \cdot W_1 \cdot \exp(q \cdot V_{gs1} / n \cdot k \cdot T) = I_0 \cdot W_2 \cdot \exp(q \cdot V_{gs2} / n \cdot k \cdot T)$$

ここで、 I_0 は、MOS トランジスタ Q 1 および Q 2 の単位チャネル幅あたりに流れる電流量を示し、 n は、空乏層容量の関数で表わされる係数である。また、 T は温度、 q は電子の電荷量、および k はボルツマン定数を示す。上式から、次式が得られる。

$$V_{gs1} - V_{gs2} = (n \cdot k \cdot T / q) \ln(W_2 / W_1)$$

一方、MOS トランジスタ Q 1 および Q 2 ゲート電位は等しいため、抵抗素子 R 1 に印加される電圧 V_{r1} は、 $V_{gs1} - V_{gs2}$ となる。したがって、上式から、この抵抗素子 R 1 を流れ電流、すなわち MOS トランジスタ Q 1 および Q 2 を流れる電流 I_1 および I_2 は、次式で表わされる。

【0078】

$$I_1 = I_2 = (V_{gs1} - V_{gs2}) / R_1 = (n \cdot k \cdot T / q) \ln(W_2 / W_1) \cdot 1 / R_1$$

MOS トランジスタ Q 1 および Q 5 がカレントミラー回路を構成しており、これらの MOS トランジスタ Q 1 および Q 5 はそのサイズが等しくされており、電流 I_1 および I_3 の大きさは等しい。したがって、抵抗素子 R_{L1}

1により生成される第1の電圧V1は、次式で表わされる。

$$【0079】 V1 = (n \cdot k \cdot T / q) \ln (W2 / W1) \cdot RL1 / R1$$

第2の電圧発生回路2bも、第1の電圧発生回路2aと同じ回路構成を備えており、またMOSトランジスタQ1～Q5のサイズ比が同じであるため、第2の電圧V2は、次式で表わされる。

$$【0080】 V2 = (n \cdot k \cdot T / q) \ln (W2 / W1) \cdot RL2 / R2$$

OR回路2cは、電圧V1およびV2を、MOSトランジスタQ8およびQ9のそれぞれのゲートに受ける。MOSトランジスタQ8～Q10は、それらのソースがノードNDHに結合されており、ソースフォロウモードで動作する。基準電圧Vrefが電圧V1およびV2よりも高い場合には、ノードNDHの電圧レベルが、Vref - Vthとなり、MOSトランジスタQ8およびQ9がオフ状態となる。この状態においては、MOSトランジスタQ6には電流が流れないため、応じてMOSトランジスタQ7には電流が流れず、ノードNDGからの基準電圧Vrefはその電圧レベルが低下する(MOSトランジスタQ11により放電される)。

【0081】基準電圧Vrefが第1の電圧V1と第2の電圧V2の間的时候には、MOSトランジスタQ8およびQ9が一方がオン状態となる。今、第1の電圧V1が第2の電圧V2よりも高い状態を考える。この状態においては、MOSトランジスタQ8がオン状態、MOSトランジスタQ9がオフ状態となり、MOSトランジスタQ6およびQ8を介して電流がMOSトランジスタQ11へ流れる。このMOSトランジスタQ6を介して流れる電流と同じ大きさの電流がMOSトランジスタQ7を介してMOSトランジスタQ10へ流れる。今、基準電圧Vrefは、第1の電圧V1よりも低い場合、MOSトランジスタQ10は、オフ状態であり、このノードNDGの電圧レベルが上昇し、基準電圧Vrefの電圧レベルが上昇する。

【0082】基準電圧Vrefが電圧V1およびV2よりも低い場合には、同様に、MOSトランジスタQ8およびQ9一方が、電圧V1およびV2の電圧レベルの関係に応じて一方がオン状態、他方がオフ状態となるため、同様に基準電圧Vrefの電圧レベルが上昇する。したがって、基準電圧Vrefは、電圧V1およびV2の高い方の電圧レベルに等しい電圧レベルに保持される。

【0083】図3は、基準電圧Vrefの温度特性を示す図である。抵抗素子R1およびRL1を同じ材料で構成する。この場合、先の式から、(RL1/R1)の項において、これらの抵抗素子R1およびRL1の温度依存性が打消される。したがって、第1の電圧V1は、温度Tに比例してその電圧レベルが上昇する。一方、抵抗

素子RL2にタングステンシリサイドなどの高融点金属シリサイドを用い、抵抗素子R2として、P+拡散抵抗を用いる。P+拡散抵抗の温度依存性は、タングステンシリサイドなどの高融点金属シリサイドの温度依存性に比べて大きく、高温領域においては、抵抗素子R2の抵抗値が、抵抗素子RL2の抵抗値よりも高くなる。したがって、RL2/R2は、ほぼ、1/Tに比例するため、第2の電圧V2は、上式から、その温度特性が、ほぼ0の温度係数を維持し、ほぼ全温度領域にわたって一定の電圧レベルとなる。基準電圧Vrefは、電圧V1およびV2の高い方の電圧レベルにほぼ等しい電圧レベルである。したがって、図3に示すように、低温領域においては、第2の電圧V2にほぼ等しく、ほぼ0の温度特性を有し、一方、高温領域においては、第1の電圧V1に等しくなり、正の温度特性を有する。この基準電圧Vrefに従って内部電源電圧Vccが生成される。したがって、高温領域においては、正の温度特性を有し、低温領域においては、ほぼ0の温度特性を有する内部電源電圧Vccが生成される。高温領域において、MOSトランジスタの動作速度が低下する可能性のあるときに、この内部電源電圧Vccを電圧レベルを高くすることにより、MOSトランジスタのゲート電圧を高くして高速動作させることができる。一方、低温領域においてMOSトランジスタのしきい値電圧が絶対値が大きくなる場合において、内部電源電圧Vccの電圧レベルの低下を抑制することにより、確実に、MOSトランジスタをオン状態へ駆動して動作させることができ、誤動作を防止することができる。

【0084】[変更例] 図4(A)は、この発明の実施の形態1の変更例の構成を示す図である。図4において、図2に示す第2の電圧発生回路2bに含まれる抵抗素子RL2の構成を示す。他の構成は図2に示す構成と同じである。図4(A)において、抵抗素子RL2は、ダイオード接続されたpチャネルMOSトランジスタDQaおよびDQbを含む。これらのダイオード接続されたMOSトランジスタDQaおよびDQbを用いた場合、そのしきい値電圧の絶対値が温度上昇とともに低下する。しきい値電圧の絶対値が小さくなることは、MOSトランジスタDQaおよびDQbに電流が流れやすくなり、等価的に、抵抗値が小さくなることに対応する。したがって、抵抗素子R2としては、正の温度特性を有する不純物拡散抵抗を用いかつこの図4(A)に示す抵抗素子RL2を用いた場合、第2の電圧V2は、温度上昇とともに、その電圧レベルが低下する(RL2/R2 $\propto 1/T'$)。すなわち、図4(B)に示すように、第2の電圧V2は、負の温度特性を有する。一方、第1の電圧V1は、正の温度特性を有する。したがって、基準電圧Vrefは、低温領域においては負の温度特性を有し、高温領域においては正の温度特性を有する。この基準電圧Vrefに従って、内部電源電圧Vccが生成さ

れるため、内部電源電圧 V_{cc} も、高温領域で正の温度特性、低温領域で負の温度特性を有する。したがって、高温領域において MOS トランジスタのドレイン電流が減少し（チャネル抵抗に起因する）、動作速度が低下する場合、その電源電圧 V_{cc} のレベルを高くすることにより、MOS トランジスタの動作速度低下を抑制することができる。また、低温領域において、内部電源電圧 V_{cc} を、その電圧レベルを上昇させることにより、MOS トランジスタのしきい値電圧が大きくなった場合においても、確実の MOS トランジスタをオン状態として動作させることができる。

【0085】なお、上述の構成において、MOS トランジスタのゲート電位を電源電圧または接地電圧レベルの一定電圧レベルに固定するように MOS トランジスタを抵抗接続した場合、そのチャネル抵抗は温度上昇とともに上昇する正の温度特性を有する。したがって、各抵抗素子の特性およびこの半導体記憶装置において要求される内部電源電圧 V_{cc} (V_{ccp} または V_{ccs}) の温度特性に応じて、適当な抵抗素子の組合せが用いられればよい。正の温度特性を有する第 1 の電圧 V_1 は、同じ材料または同じ構成の抵抗接続された MOS トランジスタを用いることにより生成することができる。一方、第 2 の電圧 V_2 は、異なる材料または構成の抵抗素子を用いることにより、負または 0 の温度特性を有することができる。

【0086】以上のように、この発明の実施の形態 1 に従えば、低温領域において 0 または負の温度特性を有し、かつ高温領域において正の温度特性を有する基準電圧を生成しているために、内部電源電圧も同様の温度特性を有することができ、この基準電圧に基づいて生成される内部電源電圧を利用する回路を全温度範囲にわたって安定かつ高速に動作させることができる。

【0087】なお、図 4 (A) において、p チャネル MOS トランジスタが用いられている。p チャネル MOS トランジスタのしきい値電圧の絶対値の温度係数は、約 $-2 \text{ mV}/^\circ\text{C}$ であり、また n チャネル MOS トランジスタのしきい値電圧の温度係数は、約 $-1.5 \text{ mV}/^\circ\text{C}$ である。したがって、ダイオード接続された n チャネル MOS トランジスタが抵抗素子 R_{L2} として用いられてもよい。また、不純物拡散抵抗として、N 型不純物を注入した N+ 拡散抵抗が用いられてもよい。

【0088】また、図 3 および図 4 (B) においては、低温領域と高温領域の境界領域（温度特性の変化温度）は、温度 0°C 近傍の温度に設定している。しかしながら、この境界温度は、この基準電圧発生回路または半導体記憶装置が用いられる動作温度領域に応じて適当な値に設定されればよい。

【0089】〔実施の形態 2〕図 5 は、この発明の実施の形態 2 に従う半導体記憶装置の要部の構成を示す図である。図 5 においては、図 1 に示す内部電源回路 1 の構

成を概略的に示す。この図 5 に示す内部電源回路 1 においては、周辺電源電圧 V_{ccp} を生成する周辺降圧回路 3p およびセンス電源電圧 V_{ccs} を生成するセンス降圧回路 3s に対し、共通の基準電圧発生回路 2 からそれぞれ周辺用基準電圧 V_{refp} および V_{refs} が与えられる。1 つの基準電圧発生回路 2 を用いて、周辺用基準電圧 V_{refp} およびセンス用基準電圧 V_{refs} を生成することにより、回路占有面積および消費電流が低減される。また、これらの基準電圧 V_{refp} および V_{refs} の温度特性を同じとすることができ、広い温度範囲にわたってこれらの内部電源電圧 V_{ccp} および V_{ccs} の温度特性および電圧レベルの関係を一定に保持することができ、内部回路（周辺回路およびセンスアンブ回路）を安定に動作させることができる。

【0090】図 6 は、図 5 に示す基準電圧発生回路 2 の構成を示す図である。図 6 において、基準電圧発生回路 2 は、外部電源ノードとノード NDI の間に接続され、一定の電流 I を供給する定電流源 CCS と、ノード NDI と接地ノードとの間に直列に接続される抵抗素子 $R_{10} \sim R_{14}$ を含む。定電流源 CCS と抵抗素子 R_{10} の間のノード NDI から周辺用基準電圧 V_{refp} が出力され、抵抗素子 R_{10} および R_{11} の間のノード NDJ からセンス用基準電圧 V_{refs} が出力される。これらの基準電圧 V_{refp} および V_{refs} は次式で表わされる。

$$【0091】V_{refp} = I \cdot 5 \cdot R$$

$$V_{refs} = I \cdot 4 \cdot R$$

ここで、 R は抵抗素子 $R_{10} \sim R_{14}$ 各々の抵抗値を示す。したがって、これらの基準電圧 V_{refp} および V_{refs} は、以下の関係を満たす。

$$【0092】V_{refs} = 4 \cdot V_{refp} / 5$$

したがって、すべての温度範囲にわたって、これらの基準電圧 V_{refp} および V_{refs} を一定の関係に保持することができる。これらの基準電圧 V_{refp} および V_{refs} に従って周辺用電源電圧 V_{ccp} およびセンス用電源電圧 V_{ccs} が生成されるため、同様、これらの内部電源電圧 V_{ccp} および V_{ccs} も、同様、全温度範囲にわたって一定の関係を保持し、安定に動作する半導体記憶装置を実現することができる。この比率が一定値からずれた場合、たとえば周辺回路であるメモリセルデータの書込/読出を行なう回路部分の動作速度および動作マージンが変化し、たとえばセンス開始タイミングが相対的に早くなるまたは列選択タイミングが相対的に早くなるなどのタイミングミスマッチが生じ、安定な内部回路動作を保証することができなくなる。

【0093】図 7 は、外部電源電圧と基準電圧との関係を示す図である。図 7 において、外部電源電圧 V_{ext} が上昇するにつれて、基準電圧 V_{refp} および V_{refs} もその電圧レベルが上昇する。定電流源 CCS が電流 I を供給し始めると、その時点から、基準電圧 V_{re}

f p および $V_{ref s}$ は、一定の比率 (4/5) の大きさを有する。したがって、外部電源電圧 V_{ext} が低い場合であっても、内部回路構成要素である MOS トランジスタが動作可能となると、この半導体記憶装置は動作可能となる。したがって、外部電源電圧 V_{ext} の下限側領域における半導体記憶装置の動作マージンを改善することができる。

【0094】また、直列接続された抵抗素子を用いて周辺用基準電圧 $V_{ref p}$ およびセンス用電源電圧 $V_{ref s}$ を生成しているため、常時、周辺用基準電圧 $V_{ref p}$ をセンス用基準電圧 $V_{ref s}$ 以上の電圧レベルに保持することができる。また、別々の基準電圧発生回路を用いてこれらの基準電圧を発生する場合に比べて、これらの電圧値を調整するのが容易となる。すなわち、周辺用基準電圧 $V_{ref p}$ の電圧レベルを調整すれば、応じて自動的に、センス用基準電圧 $V_{ref s}$ の電圧レベルも調整される。

【0095】なお、上述の構成において、これらの基準電圧 $V_{ref p}$ および $V_{ref s}$ は、5 : 3 の関係を有してもよい。

【0096】図 8 は、図 6 に示す定電流源 CCS の構成の一例を示す図である。図 8 において、定電流源 CCS は、外部電源電圧 V_{ext} を伝達する電源線 VCL に並列に接続されかつそれぞれのゲートにバイアス電圧 ϕ_{CON} を受ける p チャネル MOS トランジスタ Q20 ~ Q23 と、これらの MOS トランジスタ Q20 ~ Q23 それぞれと直列に接続されるプログラム素子 Pr0 ~ Pr3 を含む。プログラム素子 Pr0 ~ Pr3 は、共通に出力ノードに接続される。電源線 VCL には、また電源投入時等において、この電源線 VCL 上の電圧が急激に変化するのを防止するためのローパスフィルタとして機能する遅延回路 DLA が設けられる。遅延回路 DLA は抵抗とキャパシタとで構成される。

【0097】プログラム素子 Pr0 ~ Pr3 は、スイッチングトランジスタまたはヒューズ素子またはこれらの組合せで構成される。テスト工程時において基準電圧 $V_{ref p}$ の電圧レベルを測定し、最適値 (または設計値) に設定するようにプログラム素子 Pr0 ~ Pr3 をプログラムする (ヒューズ素子の場合溶断する)。

【0098】バイアス電圧 ϕ_{CON} は、図 2 に示す電圧発生回路 2a および 2b に含まれる定電流発生部と同様の構成を有する回路から与えられる (トランジスタ Q5 のゲートへ与えられる電圧)。これらの MOS トランジスタ Q20 ~ Q23 は、同じサイズを備えており、同じ電流供給力を有する。これらのプログラム素子 Pr0 ~ Pr3 のプログラム (選択的導通/遮断) を行なうことにより、定電流源 CCS からの電流 I を最適値に設定することができる。外部電源電圧 V_{ext} とバイアス電圧 ϕ_{CON} の電圧差が、MOS トランジスタ Q20 ~ Q23 のしきい値電圧の絶対値よりも大きくなると、この定

電流源 CCS が動作し、定電流 I を供給する。

【0099】この電流 I が流れると、その時点から、基準電圧 $V_{ref p}$ および $V_{ref s}$ は、一定の比率をもって変化する。基準電圧 $V_{ref p}$ および $V_{ref s}$ が図 7 において外部電源電圧 V_{ext} に応じて変化するのとは、このバイアス電圧 ϕ_{CON} が、外部電源電圧 V_{ext} の電圧レベルの上昇に応じて変化するためである (図 2 の電圧発生回路の構成参照)。

【0100】これにより、容易に、所望の電圧レベルの基準電圧 $V_{ref p}$ および $V_{ref s}$ を生成することができ、これらの基準電圧の電圧レベルのトリミングのための工程を簡略化することができる。

【0101】なお、上述の説明においては、抵抗素子 R10 ~ R14 は、同じ抵抗値を有するように説明している。しかしながら、これらの抵抗値 R10 ~ R14 の抵抗値を異ならせることにより、これらの基準電圧 $V_{ref p}$ および $V_{ref s}$ の比率を任意の値に設定することができる。

【0102】[変更例] 図 9 は、この発明の実施の形態 2 の変更例の構成を示す図である。図 9 において、この基準電圧発生回路 2 は、外部電源ノードとノード ND0 の間に接続される定電流源 CCS と、ノード ND0 と接地ノードの間に直列に接続される同一サイズかつ同一しきい値電圧の p チャネル MOS トランジスタ Q25 ~ Q29 を含む。これらの MOS トランジスタ Q25 ~ Q29 は、直列接続において 1 つトランジスタを間においた接地ノードへそれぞれのゲートが接続される (トランジスタ Q29 を除く)。すなわち、MOS トランジスタ Q25 のゲートが MOS トランジスタ Q26 および Q27 の間の接地ノード ND2 に接続され、MOS トランジスタ Q26 のゲートが MOS トランジスタ Q27 および Q28 の間の接続ノード ND3 に接続され、MOS トランジスタ Q27 のゲートが MOS トランジスタ Q28 および Q29 の間の接地ノード ND4 に接続される。MOS トランジスタ Q29 のゲートは接地ノードに接続される。

【0103】また、これらの MOS トランジスタ Q25 ~ Q29 のバックゲート (基板領域) は、2 つの MOS トランジスタを対として、対をなす MOS トランジスタの高電位側の接続ノードに接続される。すなわち、MOS トランジスタ Q25 および Q26 のバックゲートがノード ND0 に接続され、MOS トランジスタ Q27 および Q28 のバックゲートがノード ND2 に接続される。MOS トランジスタ Q29 はバックゲートがノード ND4 に接続される。次に動作について説明する。

【0104】電源投入前においては、ノード ND0 ~ ND4 はすべて接地電圧レベルの L レベルにある。電源が投入され、外部電源電圧 V_{ext} の電圧レベルが上昇すると、まず定電流源 CCS から電流が供給され、ノード ND0 の電圧レベルが上昇する。ノード ND0 の電圧レ

ベルが、MOSトランジスタQ25のしきい値電圧の絶対値以上になると、このときまだMOSトランジスタQ26はオフ状態であり、接続ノードND2は接地電圧レベルであり、MOSトランジスタQ25がオン状態となり、ノードND1へ電流を供給する。このノードND1の電圧レベルが、MOSトランジスタQ26のしきい値電圧の絶対値よりも高くなると、次いでMOSトランジスタQ26がオン状態となる。次いでノードND2へ電流が供給され、このノードND2の電圧レベルが、MOSトランジスタQ27のしきい値電圧の絶対値よりも高くなると、MOSトランジスタQ27がオン状態となり、ノードND3へ電流を供給する。このとき、ノードND0は、MOSトランジスタQ25をオン状態とするため、 $2 \cdot V_{thp}$ 以上の電圧レベルとなる必要がある。ここで V_{thp} はMOSトランジスタQ25～Q29のしきい値電圧の絶対値を示す。このノードND3の電圧レベルがMOSトランジスタQ28のしきい値電圧の絶対値よりも高くなると、MOSトランジスタQ28がオン状態なり、ノードND4へ電流を供給する。このノードND4の電圧がMOSトランジスタQ29のしきい値電圧の絶対値よりも高くなると、MOSトランジスタQ29がオン状態となり、ノードND0から接地ノードへの電流経路が形成される。したがって、この図9に示す基準電圧発生回路2の構成の場合、ノードND0～ND4のうち3つの連続するノード間の電圧が、MOSトランジスタQ25～Q29のしきい値電圧の絶対値よりも高い電圧レベルとなると、これらのMOSトランジスタQ25～Q29はすべてオン状態となる。ノードND0の電圧は最低 $3 \cdot V_{thp}$ 以上あれば、この回路は動作する(2つの連続するMOSトランジスタ間の電圧は $2 \cdot V_{thp}$)。これらのMOSトランジスタQ25～Q29がオン状態となった後は、これらのMOSトランジスタQ25～Q29のチャネル抵抗に応じて、基準電圧 V_{refp} および V_{refs} の電圧レベルが決定される。この場合、MOSトランジスタQ25～Q29は、すべて同じ動作領域で動作し、チャネル抵抗もほぼ等しくなるため、基準電圧 V_{refp} および V_{refs} は、以下の関係を満たす。

【0105】 $V_{refp} = 4 \cdot V_{refs} / 5$

MOSトランジスタQ25～Q29が、同じ動作領域で動作するのは以下の理由による。MOSトランジスタQ25～Q29のそれぞれのゲートは、MOSトランジスタを1つおいた接続ノードに接続される。したがって、MOSトランジスタQ25～Q28のゲート-ソース間電圧は、2つのMOSトランジスタにおける電圧降下量に等しい(MOSトランジスタQ29の場合には、MOSトランジスタQ29における電圧降下量にそのゲート-ソース間電圧が等しくなる)。一方、MOSトランジスタQ25～Q28のそれぞれのバックゲートは、隣接する2つのMOSトランジスタを単位として、接続され

る。すなわち隣接する2つのMOSトランジスタの高電位の接続ノードに共通にそれらのバックゲートが接続される。バックゲートバイアスについては、最大1個のMOSトランジスタにおける電圧降下量の影響が各隣接MOSトランジスタ対において生じるだけである。一方、バックゲートバイアス効果は、ソースを基準とするバックゲートの電圧 V_{BS} の絶対値の平方根の関数で与えられるため、その効果は十分小さくなる。したがって、これらのMOSトランジスタQ25～Q29を、ほぼ同じ動作領域で動作させることができ、これらのMOSトランジスタQ25～Q29のチャネル抵抗をほぼ同じとして、基準電圧 V_{refp} を分圧してセンス用基準電圧 V_{refs} を生成することができる。

【0106】ダイオード接続されたMOSトランジスタを抵抗素子として用いた場合、これらのダイオード接続されたMOSトランジスタすべてをオン状態とする必要があり、しきい値電圧の影響により、基準電圧の下限が決定される。たとえば図9においてMOSトランジスタQ25～Q29をすべてダイオード接続した場合、MOSトランジスタQ25～Q29において最大しきい値電圧の絶対値の電圧降下が必要とされるため、 $5 \cdot V_{thp}$ が、周辺基準電圧 V_{refp} の下限電圧となる。したがって、この図9に示す構成を利用することにより、周辺用基準電圧 V_{refp} の下限電圧を $3 \cdot V_{thp}$ と十分低くすることができ、低電源電圧下においても安定に基準電圧 V_{refp} および V_{refs} を生成することができる。

【0107】また、これらのMOSトランジスタQ25～Q29のゲートをすべて接地電圧に接続し、MOSトランジスタQ25～Q29のバックゲートをノードND0に接続した場合、これらのMOSトランジスタQ25～Q29のゲート-ソース間電圧がすべてにおいて異なり、またバックゲートバイアス効果もすべてのMOSトランジスタにおいて異なるため、MOSトランジスタQ25～Q29をすべて同じ動作条件で動作させることができない。MOSトランジスタQ25～Q29のチャネル抵抗が異なり、正確に、周辺基準電圧 V_{refp} を所望の比(整数比)で分圧してセンス基準電圧 V_{refs} を生成することができない。しかしながら、図9に示す構成を利用することにより、正確に所定の整数比 m/n をもった基準電圧 V_{refp} および V_{refs} を生成することができ、低電源電圧下においても、安定に所望の電圧レベルの基準電圧 V_{refp} および V_{refs} を容易に生成することができる。

【0108】なお、図9に示す基準電圧発生回路2の構成において、ノードND2から基準電圧を取出すことにより、 $3 \cdot V_{refp} / 5$ の基準電圧を生成することができる。

【0109】[他の用途への適用] 図10は、この発明の実施の形態2の基準電圧発生回路の他の用途への適用

例を示す図である。図10においては、入力電圧 V_{IN} を、活性化信号 $ENDIV$ の活性化時分圧する分圧回路の構成が一例として示される。図10において、この分圧回路は、活性化信号 $ENDIV$ を反転するCMOSインバータ INV と、インバータ INV の出力信号がLレベルのとき導通し、入力電圧 V_{IN} を伝達するpチャンネルMOSトランジスタ $SQ0$ と、活性化信号 $ENDIV$ の活性化時に導通し、この分圧回路に電流経路を形成するnチャンネルMOSトランジスタ $SQ1$ と、MOSトランジスタ $SQ0$ および $SQ1$ の間に直列に接続されるpチャンネルMOSトランジスタ $Q30 \sim Q34$ を含む。MOSトランジスタ $Q30 \sim Q34$ は、それぞれそのゲートが、1つトランジスタを間においた接続ノードに接続され、またバックゲートが、2つの隣接MOSトランジスタを単位として高電位の接続ノードに接続される。このMOSトランジスタ $Q30 \sim Q34$ の構成は、図9に示すMOSトランジスタ $Q25 \sim Q29$ の構成と同じである。MOSトランジスタ $SQ0$ および $Q30$ の間から電圧 $V10$ が出力され、MOSトランジスタ $Q30$ および $Q31$ の間の接続ノードから電圧 $V08$ が出力され、MOSトランジスタ $Q31$ および $Q32$ の間の接続ノードから電圧 $V06$ が出力される。次いで、この図10に示す分圧回路の動作を、図11に示す電圧波形図を参照して説明する。

【0110】活性化信号 $ENDIV$ がLレベルのときに、MOSトランジスタ $SQ0$ および $SQ1$ がオフ状態にあり、この分圧回路の各内部ノードは、接地電圧レベルのフローティング状態にある。活性化信号 $ENDIV$ がHレベルとなると、MOSトランジスタ $SQ0$ および $SQ1$ がオン状態となり、電圧入力ノードから接地ノードへの電流経路が形成される。入力電圧 V_{IN} が接地電圧レベルのときには、電圧 $V10$ 、 $V08$ および $V06$ もそれぞれ接地電圧レベルである。この入力電圧 V_{IN} の電圧レベルが上昇し、MOSトランジスタ $Q30 \sim Q34$ それぞれのしきい値電圧の絶対値の3倍以上となると、MOSトランジスタ $Q30 \sim Q34$ に電流が流れ、電圧 $V10$ 、 $V08$ および $V06$ の電圧レベルが上昇する。

【0111】図11においては、入力電圧 V_{IN} が約0.6V程度において、電圧 $V10$ 、 $V08$ および $V06$ の電圧レベルが上昇し始める状態が示される。すべてMOSトランジスタ $Q30 \sim Q34$ がオン状態となると、スイッチングトランジスタ $SQ0$ は、入力電圧 V_{IN} をしきい値電圧の損失なしに伝達するため、電圧 $V10$ が、入力電圧 V_{IN} に等しくなる。一方、電圧 $V08$ が、 $4 \cdot V10 / 5$ の電圧レベルとなり、また電圧 $V06$ が、 $3 \cdot V10 / 5$ の電圧レベルとなる。以降、入力電圧 V_{IN} の電圧レベルが上昇するにつれて、電圧 $V10$ 、 $V08$ および $V06$ の電圧レベルが上昇する。したがって広い入力電圧の範囲にわたって、一定の比率を有

する電圧を生成することができる。また、抵抗素子に代えてMOSトランジスタを用いるため、その占有面積を大幅に低減することができる。

【0112】この図10に示す分圧回路において電圧 V_{dd} は、内部電源電圧 V_{cc} であってもよく、また外部電源電圧 V_{ext} であってもよい。この分圧回路を用いれば、たとえばテスト動作モード時において、この分圧回路からの分圧電圧を用いて動作マージンの測定などを行なうことができる。

【0113】なお、図9および図10に示す構成においては、分圧用の抵抗MOSトランジスタは5個用いられている。これは、半導体記憶装置における、周辺用電源電圧 V_{refp} とセンス用電源電圧 V_{refs} の比に応じて決定されている。したがって、この分圧用抵抗MOSトランジスタの数は、5以上であってもよく、この分圧比 m/n に応じて適当な数 n に定められればよい。

【0114】〔実施の形態3〕図12は、この実施の形態3に従う半導体記憶装置の要部の構成を概略的に示す図である。図12においては、センスアンプ回路300に対してセンス電源電圧 V_{ccs} を伝達するセンス電源回路の構成が示される。図12において、センス電源回路は、センス基準電圧 V_{refs} を発生するセンス基準電圧発生回路2sと、周辺用基準電圧 V_{refp} を発生する周辺基準電圧発生回路2pと、切換信号 ϕ_{SW} にตอบสนองしてこれらの基準電圧 V_{refs} および V_{refp} の一方を選択する切換回路4と、切換回路4から与えられる基準電圧の一方に従って降圧動作を行なってセンス電源電圧 V_{ccs} を生成するセンス降圧回路3sを含む。このセンス基準電圧発生回路2sおよび周辺基準電圧発生回路2pは、別々の回路であってもよく、また先の実施の形態2におけるように1つの回路であってもよい。センス電源電圧 V_{ccs} 用の基準電圧 V_{refs} と周辺電源電圧 V_{ccp} 用の基準電圧 V_{refp} が生成されればよい。

【0115】このセンス降圧回路3sからのセンス電源電圧 V_{ccs} を伝達するセンス電源線5には、安定化容量7が設けられる。この安定化容量7に格納された電荷を利用してセンスアンプ回路300の充電電流消費によるセンス電源電圧 V_{ccs} の低下を補償する。

【0116】図13は、図12に示すセンスアンプ回路300の構成の一例を示す図である。図13においては、1つのビット線対に対応して設けられるセンスアンプSAの部分の構成を示す。センスアンプSAは、ゲートおよびドレインが交差結合されるpチャンネルMOSトランジスタ $Q41$ および $Q42$ と、センスアンプ活性化信号 ϕ_{SP} の活性化にตอบสนองして導通し、センス電源線5上のセンス電源電圧 V_{ccs} をMOSトランジスタ $Q41$ および $Q42$ のソースに伝達するpチャンネルMOSトランジスタ $Q43$ と、ゲートおよびドレインが交差結合されたnチャンネルMOSトランジスタ $Q44$ および $Q4$

5と、センスアンプ活性化信号 ϕ SNの活性化にตอบสนองして導通し、MOSトランジスタQ 4 4およびQ 4 5のソースへ接地線上の接地電圧Vss伝達するnチャネルMOSトランジスタQ 4 6を含む。MOSトランジスタQ 4 1およびQ 4 4のドレインはビット線BLに接続され、MOSトランジスタQ 4 2およびQ 4 5のドレインは、ビット線/BLに接続される。

【0117】ビット線BLおよび/BLに交差する方向にワード線WLが配設される。ワード線WLとビット線BLの交差部に対応してメモリセルMCが配置される。メモリセルMCは、情報を記憶するメモリセルキャパシタMQと、ワード線WL上の信号電位にตอบสนองして導通しメモリセルキャパシタMQをビット線BLに接続するnチャネルMOSトランジスタ（アクセストランジスタ）MTを含む。

【0118】センスアンプSAにおいては、センスアンプ活性化信号 ϕ SPおよび ϕ SNが活性化されると、MOSトランジスタQ 4 1、Q 4 2、Q 4 4およびQ 4 5による差動増幅回路が動作し、ビット線BLおよび/BLの高電位のビット線をセンス電源電圧Vccsレベルに駆動し、かつ低電位のビット線を接地電圧レベルに放電する。したがって、センスアンプSAの動作時には、センス電源線5上のセンス電源電圧Vccsが消費される。このセンス電源線5上のセンス電源電圧Vccsのレベル低下を、安定化容量7に格納された電荷で補償する。これにより、センスアンプを高速かつ安定に動作させる。次いで、この図12および図13に示す回路の動作について図14に示す信号波形図を参照して説明する。

【0119】スタンバイ状態時においては、ワード線WLは非選択状態になり、またセンスアンプ活性化信号 ϕ SPおよび ϕ SNも非活性状態にある。この状態において、容量7には、周辺用基準電圧Vrefpにより決定される周辺電源電圧Vccpレベルの電荷が充電される。図14においては、この周辺電源電圧Vccpが、周辺用基準電圧Vrefpに等しい場合が示される。

【0120】ワード線WLが選択されて、その電圧レベルが上昇すると、メモリセルMCのアクセストランジスタMTがオン状態となる。メモリキャパシタMQとビット線BLとがアクセストランジスタMTを介して電氣的に結合され、ビット線BLとメモリキャパシタMQの間で電荷の移動が生じる。この電荷の移動により、それまで、中間電圧（ $Vccs/2$ ）のレベルでフローティング状態にあったビット線BLの電圧が変化する。図14においては、ビット線BLに、Hレベルデータが読出された場合の信号波形が示される。ビット線/BLは、選択メモリセルが接続されていないため、中間電圧Vccs/2の電圧レベルを保持する。

【0121】次いで、センスアンプ活性化信号 ϕ SNがHレベルの活性状態となり、センスアンプSAに含まれ

るMOSトランジスタQ 4 4およびQ 4 5が差動増幅動作を行ない、ビット線/BLの電圧レベルを接地電圧レベルへ低下させる。また、センスアンプ活性化信号 ϕ SPが少し遅れて活性化され、MOSトランジスタQ 4 1およびQ 4 2により、ビット線BLの電圧レベルが、センス電源電圧Vccsレベルに駆動される。

【0122】センス動作時、センス降圧回路3sが、センス電源線5上の電圧Vccsを、センス基準電圧レベルに保持しようとする。また、センス動作時、安定化容量7に格納された電荷が消費される。したがって、センス電源線5上の電源電圧は、センス動作開始後、基準電圧Vrefpのレベルから低下するが、その電圧レベルは、センス基準電圧Vrefsが規定する電圧レベル以下に低下するのは防止される。これにより、センスアンプSAのMOSトランジスタQ 4 1およびQ 4 2は、高速でセンス動作を行なう。またセンス開始時において、このMOSトランジスタQ 4 3を介して与えられるセンス電源電圧Vccsの電圧レベルが低下するのを抑制されるために、これらのMOSトランジスタQ 4 1およびQ 4 2は、ビット線BLおよび/BL上の電圧レベルに応じて正確にセンス動作を行なうことができる。センス降圧回路3sは、このセンスアンプSAがセンス動作を完了し、ラッチ状態になったときには、電流はほとんど消費されないため、このセンス電源線5上のセンス電源電圧Vccsを基準電圧Vrefsの規定する電圧レベルに保持する。この場合には、単に、リーク電流により、センス電源線5上の電圧が消費されるだけである。

【0123】メモリサイクルが完了すると、ワード線WLが非選択状態のLレベルへ立下がり、またセンスアンプ活性化信号 ϕ SPおよび ϕ SNも非活性状態へ駆動される。このセンスアンプ活性化信号 ϕ SPの非活性化にตอบสนองして切換信号 ϕ SWが所定期間Hレベルとなり、図12に示す切換回路4が、センス基準電圧発生回路2sからのセンス基準電圧Vrefsに代えて、周辺基準電圧発生回路2pからの周辺基準電圧Vrefpを選択してセンス降圧回路3sへ与える。これにより、センス電源線5および安定化回路7の充電電圧レベルが、周辺基準電圧Vrefpが規定する電圧レベルに復帰する。この後、再びセンス切換信号 ϕ SWがLレベルの非活性状態となると、再び、切換回路4は、センス基準電圧Vrefsを選択してセンス降圧回路3sへ与える。この間、センス電源線5は、安定化容量7により、ほぼ周辺電源電圧Vccpのレベルに保持される。

【0124】この図12および図13に示すように、センス電源線をセンス動作開始前においては、このセンス電源電圧レベルよりも高い電圧レベルに充電しておくことにより、センス動作時に流れる大きなセンス電流によるセンス電源電圧Vccsの電圧レベル低下を補償して、安定にセンス動作を行なうことができる。

【0125】なお、一般にセンス降圧回路3sは、比較

的大きな電流駆動力を要求されており、高速応答特性は要求されていない。安定化容量 7 を設けることにより、このセンス動作開始時におけるセンス電源電圧 V_{ccs} の急激な低下を抑制することができる。この安定化容量 7 の容量値は、センスアンプ回路 300 (センスアンプ SA) における充電電流により消費される電荷を補償することができればよい。たとえば、この選択ワード線 W_L に、1 K 個のビット線対が接続する場合、センスアンプ回路 300 は、1 K 本のビット線を、充電する必要がある。このとき、最も大きな充電電流が流れる場合は、選択ワード線に接続されるメモリセルがすべて L レベルデータを保持している場合である。この場合には、ビット線振幅は、 $V_{ccs}/2$ となる。したがって、この安定化容量 7 の容量値 C は、ビット線容量を C_b とすると、その最大値は次式で与えられる。

$$【0126】 C = C_b \cdot 1K \cdot V_{ccs} / 2 \cdot (V_{ccp} - V_{ccs})$$

通常は、製造プロセスにおけるバラツキを考慮して、この安定化容量 7 の容量値としては、余裕を見込んだ少し大きめの容量値が設定される。したがって、安定化容量 7 の容量値が不必要に大きい場合、安定化容量 7 の占有面積が増加する。以下、このマージンを見込むことなく、必要最小限の容量値を有する安定化容量 7 を形成する手法について説明する。

【0127】図 15 は、この発明の実施の形態 3 に従う半導体記憶装置の要部の構成を示す図である。図 15 に示す構成においては、外部からの信号に従ってテストモードが指定されたか否かを検出するテストモード検出回路 11 と、このテストモード検出回路 11 からのテストモード指示信号 TEN を反転するインバータ 12 と、インバータ 12 の出力信号とテストモード検出回路 11 からのテストモード指示信号 TEN とに従って、パッド (または外部端子) 13 を周辺基準電圧発生回路 2 p の出力部に接続するトランスファゲート 9 が設けられる。

【0128】インバータ 12 の出力信号は、また、周辺基準電圧発生回路 2 p へ与えられ、その活性化時周辺基準電圧発生回路 2 p の基準電圧発生動作を停止させる。また、センス電源線 5 に対して、このセンス電源線 5 上の電圧を外部でモニタ可能とするために、専用のモニタ用パッド 14 が設けられる。これらのトランスファゲート 9、テストモード検出回路 11、切換回路 4、安定回路 7 およびパッド 14 が、図 1 に示す電圧レベル制御回路 10 の構成に含まれる。次に、この図 15 に示す構成の動作について説明する。

【0129】通常動作モード時において、テストモード指示信号 TEN は、L レベルの非活性状態にあり、トランスファゲート 9 は非導通状態にあり、また周辺基準電圧発生回路 2 p は活性状態にある。この状態においては、切換回路 4 が切換指示信号 ϕ_{SW} に従って周辺基準電圧発生回路 2 p からの周辺基準電圧 V_{refp} および

センス基準電圧発生回路 2 s からのセンス基準電圧 V_{refs} の一方を選択して基準電圧 V_{refx} としてセンス降圧回路 3 s へ与える。

【0130】テストモード時においては、外部からの信号により、テストモードが指示されると、テストモード検出回路 11 が、テストモード指示信号 TEN を活性状態の H レベルへ駆動する。これにより、トランスファゲート 9 がオン状態となり、周辺基準電圧発生回路 2 p の出力ノードがパッド 13 に電気的に接続される。また周辺基準電圧発生回路 2 p は、インバータ 12 を介して与えられる補のテストモード指示信号により非活性状態とされ、基準電圧発生動作を停止する。外部から、このパッドまたは外部ピン端子 (以下、単にパッドと称す) 13 を介して周辺用基準電圧 V_{refp} の電圧レベルを強制的に設定する。この状態で半導体記憶装置を動作させて、周辺基準電圧 V_{refp} の電圧レベルを最適値に設定する。これは、たとえば、アクセス時間、タイミングマージンなどを考慮して決定される。このときまた、パッド 14 を介して、外部から、このセンス電源線 5 上のセンス電源電圧 V_{ccs} の電圧レベルをモニタし、センス動作時における電圧レベルの変化を外部でモニタする。このときには、安定化容量 7 はセンス電源線 5 に接続されている。周辺回路を高速で動作させかつこのセンス電源線 5 におけるセンス電源電圧 V_{ccs} の電圧レベルが大きく低下しない (基準電圧 V_{refs} の規定する電圧レベルより低下しない) 電圧レベルとなるように、この周辺基準電圧 V_{refp} の最適値を決定する。

【0131】この周辺基準電圧 V_{refp} の最適値が決定されると、 $(V_{refp} - V_{refs}) \cdot C$ が所定の一定の値 (センスアンプ動作時においてビット線充電に利用される総電荷量に等しい値 Q) となるように、この安定化容量 7 の容量値の最適値を決定する。この安定化容量 7 の容量値が最適値となるように、たとえば、テスト設計または世代交代時のマスク改訂時などにおいて安定化容量 7 の容量値を調整する。

【0132】なお、この安定化容量 7 の容量値 C の最適値は、 $(V_{refp} - V_{refs}) \cdot C = \text{一定値}$ の関係式から求めている。これは、センス動作時において、安定化容量 7 に充電された電荷がすべて消費され、その場合において、センス電源線 5 上のセンス電源電圧 V_{ccs} が、基準電圧 V_{refs} が決定する電圧レベルに等しくなることを示している。センス動作時において、センス降圧回路 3 s からも電荷が供給されるため、この安定化容量 7 の容量値はさらに小さくすることができる。この場合には、モニタパッド 14 を用いて外部でセンス電源線 5 の電圧変化をモニタし、このセンス電源電圧 V_{ccs} の変化電圧をモニタすることにより容量値の最適値が決定されてもよい。すなわち、センス降圧回路 3 s および切換回路 4 を動作させ、センス動作時におけるセンス電源電圧 V_{ccs} の変化をモニタパッド 14 を介して

10

20

30

40

50

外部でモニタし、その電圧波形から、過不足電荷量を求め、この求められた過不足電荷量を補償するように安定化容量 7 の容量値を決定する（センス電源線 5 の最低電圧は $V_{ref s}$ とする）。

【0133】図 16 は、図 15 に示す周辺基準電圧発生回路 2 p の構成を概略的に示す図である。図 16 において、周辺基準電圧発生回路 2 p は、テストモード指示信号 TEN の非活性化時に導通し、外部電源電圧 V_{ext} を伝達する p チャネル MOS トランジスタ 2 p a と、MOS トランジスタ 2 p a を介して外部電源ノードに結合され、一定の電流を供給する定電流源 2 p b と、定電流源 2 p b からの電流を電圧に変換する抵抗回路 2 p c と、テストモード指示信号 / TEN の非活性化時導通し、抵抗回路 2 p c を接地ノードに接合する n チャネル MOS トランジスタ 2 p d を含む。抵抗回路 2 p c は、先の実施の形態 2 において示したポリシリコン抵抗素子、MOS トランジスタを用いた抵抗素子いずれが用いられてもよい。

【0134】図 16 に示す周辺基準電圧発生回路 2 p の構成においては、テストモード指示信号 TEN の非活性化時において MOS トランジスタ 2 p a および 2 p d がオン状態とされ、外部電源ノードから接地ノードへ電流が流れる経路が形成され、抵抗回路 2 p c の有する抵抗値に従った周辺用基準電圧 $V_{ref p}$ が生成される。

【0135】なお、この周辺基準電圧 $V_{ref p}$ の最適値が決定された場合、その最適値に合うように、抵抗回路 2 p c の有する抵抗値または定電流源の電流値がトリミングされる構成が用いられてもよい。抵抗値のトリミングは、ヒューズ素子などを用いて行なうことができる。

【0136】この図 16 に示す周辺基準電圧発生回路 2 p を利用することにより、テストモード時、この周辺基準電圧発生回路 2 p を出力ハイインピーダンス状態に設定することができる。

【0137】なおパッド 13 は、安定化容量 7 の最適化のために、外部から周辺基準電圧を印加するために用いられる専用のパッドであってもよい（外部ピン端子に結合されない）。

【0138】また、モニタ用のパッド 14 はセンス電源線 5 に常時結合され、このセンス電源線 5 上の電源モニタ時において、パッド 14 が有する寄生容量がこのセンス電源線 5 のセンス電源電圧 $V_{cc s}$ の変化に及ぼす影響を、通常動作時にも与えるようにする。

【0139】なお、上述の説明においては、周辺基準電圧 $V_{ref p}$ の最適値は、この周辺回路の動作マージンおよび動作速度およびセンス電源線 5 上のセンス電源電圧 $V_{cc s}$ の変化を考慮して決定されると説明している。しかしながら、単に、この周辺基準電圧 $V_{ref p}$ は、周辺回路の動作特性を最適化するようにその最適値が決定され、この最適値に応じてセンス電源電圧 V_{cc}

s との関係式のみから安定化容量 7 の容量値が求められる構成が用いられてもよい。

【0140】[変更例 1] 図 17 は、この発明の実施の形態 3 の変更例 1 の構成を概略的に示す図である。この図 17 に示す構成においては、図 15 に示す構成と異なり、周辺基準電圧発生回路 2 p と切替回路 4 の間に、テストモード指示信号 TEN の活性化時非導通状態となるトランスファゲート 15 が設けられる。また、周辺基準電圧発生回路 2 p は、反転テストモード指示信号を受けず、常時動作する。他の構成は、図 15 に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0141】この図 17 に示す構成において、テストモード時においては、トランスファゲート 15 が非導通状態となり、周辺基準電圧発生回路 2 p と切替回路 4 とを切離し、一方トランスファゲート 9 が、パッド 13 と切替回路 4 とを接続する。これにより、周辺基準電圧 $V_{ref p}$ は、周辺基準電圧発生回路 2 p の発生する基準電圧の影響を受けることなく外部から強制的に設定することができる。周辺基準電圧発生回路 2 p において、テストモード時、この周辺基準電圧発生回路 2 p を非活性化状態に保持するための回路構成が不要となり、周辺基準電圧発生回路 2 p は、制御用トランジスタのチャネル抵抗などの影響を受けることなく正確に所望の電圧レベルの基準電圧を生成することができる。

【0142】また、この図 17 に示す構成においては、周辺基準電圧発生回路 2 p およびセンス基準電圧発生回路 2 s は、1 つの回路構成とし、常時、所定の比を持つ周辺基準電圧およびセンス基準電圧を生成する構成をも利用することができる（実施の形態 2 参照）。

【0143】図 18 は、図 15 および図 17 に示す安定化容量の構成の一例を示す図である。図 18 において、センス電源線 5 に並列にキャパシタ $C_0 \sim C_n$ が接続される。これらのキャパシタ $C_0 \sim C_n$ と並列に、トランスファゲート $XT_0 \sim XT_n$ が配設される。キャパシタ $C_0 \sim C_n$ と接地ノードの間にキャパシタ $C_0 \sim C_n$ それぞれと直列に、スイッチングトランジスタ $TR_0 \sim TR_n$ が設けられる。

【0144】トランスファゲート $XT_0 \sim XT_n$ およびスイッチングトランジスタ $TR_0 \sim TR_n$ の導通 / 非導通を制御するために、キャパシタ $C_0 \sim C_n$ それぞれに対応してヒューズプログラム回路 $FP_0 \sim FP_n$ が設けられる。ヒューズプログラム回路 $FP_0 \sim FP_n$ は、それぞれ対応のトランスファゲート $XT_0 \sim XT_n$ およびスイッチングトランジスタ $TR_0 \sim TR_n$ を相補的に導通状態とする。これらのキャパシタ $C_0 \sim C_n$ は、同じ容量値を有し、必要な容量値を実現するために、ヒューズプログラム $FP_0 \sim FP_n$ の制御のもとに、キャパシタ $C_0 \sim C_n$ を選択的にセンス電源線 5 に接続する。トランスファゲート $XT_0 \sim XT_n$ は、それぞれ導通時、対応のキャパシタ $C_0 \sim C_n$ を短絡する。一方、対応の

スイッチングトランジスタ $TR_0 \sim TR_n$ がオフ状態となり、用いられないキャパシタは、その両電極が短絡された状態となる。これにより、用いられないキャパシタ $C_0 \sim C_n$ が、センス電源線 5 に対する寄生容量として作用するのを防止することができる。

【0145】また、キャパシタ $C_0 \sim C_n$ とスイッチングトランジスタ $TR_0 \sim TR_n$ の接続順序を逆にしてセンス電源線 5 にスイッチングトランジスタ $TR_0 \sim TR_n$ を接続した場合、これらのスイッチングトランジスタ $TR_0 \sim TR_n$ のチャネル抵抗により遅延回路が形成され、高速で用いられるキャパシタの充放電を行なうことができない。図 18 に示すように、トランスファゲート $XT_0 \sim XT_n$ により、選択的に対応のキャパシタ $C_0 \sim C_n$ を短絡することにより、使用されないキャパシタに電荷が蓄積されるのを防止でき、ノイズ源または寄生容量として作用して悪影響を他の回路に及ぼすのを防止する。

【0146】図 19 は、図 18 に示すヒューズプログラム回路 $FP_0 \sim FP_n$ の構成を示す図である。図 19 においては、1 つのヒューズプログラム回路 FP の構成を示す。図 19 において、ヒューズプログラム回路 FP ($FP_0 \sim FP_n$) は、外部電源ノードに一方導通ノードが接続される p チャネル MOS トランジスタ 20a と、MOS トランジスタ 20a とノード 20i の間に接続される溶断可能なリンク素子 20b と、ノード 20i と接地ノードの間に接続される n チャネル MOS トランジスタ 20c と、ノード 20i と接地ノードの間に接続されかつそのゲートが外部電源ノードに接続される n チャネル MOS トランジスタ 20d と、ノード 20i 上の電圧を反転するインバータ 20e と、インバータ 20e の出力信号を反転するインバータ 20f と、インバータ 20f の出力信号を反転するインバータ 20h と、ノード 20i と接地ノードの間に接続されかつそのゲートにインバータ 20e の出力信号を受ける n チャネル MOS トランジスタ 20g を含む。

【0147】インバータ 20e および 20f は、外部電源電圧 V_{ext} を一方動作電源電圧として動作する。インバータ 20f および 20h の出力信号によりトランスファゲート XT の導通/非導通が制御される。インバータ 20f の出力信号により、スイッチングトランジスタ TR の導通/非導通が制御される。インバータ 20h の出力信号がトランスファゲート XT ($XT_0 \sim XT_n$) の CMOS トランSMIッションゲートの n チャネル MOS トランジスタのゲートに与えられる。

【0148】MOS トランジスタ 20d は、チャネル幅とチャネル長の比 (W/L) が十分小さくされており、その電流駆動力は十分小さくされる。MOS トランジスタ 20a および 20c は、それぞれゲートが接地ノードに接続される。次に動作について簡単に説明する。

【0149】リンク素子 20b が導通状態 (非溶断) の

ときには、ノード 20i は、MOS トランジスタ 20a を介して充電され、その電圧レベルがインバータ 20e の入力論理しきい値よりも高くなると、インバータ 20e の出力信号が L レベルとなり、MOS トランジスタ 20g がオフ状態となる。MOS トランジスタ 20d は、チャネル幅とチャネル長の比が十分小さくされており、微小電流しか流さないため、ノード 20i の電圧レベルは、外部電源電圧 V_{ext} レベルとなる。また、インバータ 20f の出力信号が H レベル (外部電源電圧レベル) となり、トランスファゲート XT が非導通状態、スイッチングトランジスタ TR がオン状態となり、キャパシタ C が、センス電源線 5 に対する安定化容量として寄与する。

【0150】リンク素子 20b が溶断されたときには、常にノード 20i は、MOS トランジスタ 20d を介して接地電圧レベルへ緩やかに駆動され、このノード 20a の電圧レベルがインバータ 20e の入力論理しきい値よりも低くなると (電源投入後)、インバータ 20e の出力信号が H レベルとなり、MOS トランジスタ 20g がオン状態となり、ノード 20a が接地電圧レベルに保持される。一方、インバータ 20f の出力信号が L レベルとなり、スイッチングトランジスタ TR がオフ状態、トランスファゲート XT が導通状態なり、キャパシタ C を短絡する。

【0151】n チャネル MOS トランジスタ 20c が設けられているのは、電源投入時において、このノード 20a が負電圧レベルに駆動されるのを防止するためである。リンク素子 20b の溶断時、初期状態において、電源電圧 V_{ext} の電圧レベルも低く、また MOS トランジスタ 20d の電流駆動力も小さく、この負電圧レベルを高速で回復することができず、誤った初期状態に設定される可能性があり、MOS トランジスタ 20c により、これを防止する。

【0152】この図 19 に示すキャパシタおよびヒューズプログラム回路を利用することにより、ウェハプロセスにおいて各容量値の最適値を決定した後、ヒューズプログラムにより、最適な容量値を有する安定化容量を実現することができる。

【0153】各チップごとに、最適なセンス電源電圧の安定化容量を実現することができ、高速かつ安定にセンサンプを動作させることができる。

【0154】[安定化容量の構成 2] 図 20 は、センス電源電圧安定化用のキャパシタの他の構成を示す図である。図 20 に示す構成においては、センス電源線 5 に対し、並列に、キャパシタ $C_{sa} \sim C_{sn}$ が設けられる。最適化された周辺基準電圧から、最適容量値が決定され、その最適容量値に応じてこれらのキャパシタ $C_{sa} \sim C_{sn}$ のうちのキャパシタが選択される。これらのキャパシタ $C_{sa} \sim C_{sn}$ は同じ容量値を有する。たとえばキャパシタ $C_{sa} \sim C_{sn}$ がマスク配線により、セン

ス電源線5と接地線25の間に接続され、センス電源電圧安定化容量として利用される。残りのキャパシタ C_{sm} , C_{sn} …は、他の用途に適用される。他の用途の適用としては、周辺回路電源電圧を安定化するためのデカップリング容量、またはチャージポンプ動作を行なうチャージポンプ用キャパシタがある。センス電源線に対しては、この場合、キャパシタを有効に利用して、キャパシタ占有面積を低減することができる。

【0155】この図20に示す構成の場合には、マスク配線でキャパシタが選択されるため、各ウェハごとまたはチップの実力に合わせてセンス電源安定化キャパシタを最適化することはできないものの、センス電源安定化用のキャパシタ占有面積を実効的に低減することができる（使用されないキャパシタを他の用途に適用することができるため）。

【0156】[変更例3] 図21は、この発明の実施の形態3の変更例3の構成を概略的に示す図である。図21においては、センス降圧回路3sからのセンス電源電圧 V_{ccs} および周辺降圧回路3pからの周辺電源電圧 V_{ccp} が切換回路4により選択されてセンス電源線5上に伝達される。したがって、この図21に示す構成においては、センスアンプの動作時に、所定期間周辺降圧回路3pからの周辺電源電圧 V_{ccp} がセンス電源線5上に伝達される。センスアンプ動作時において、周辺回路は、通常、動作していない（行選択動作完了後、センスアンプが活性化され、このセンス動作完了後列選択動作が行なわれる）。したがって、この図21に示すようにセンス降圧回路3sからのセンス電源電圧 V_{ccs} および周辺降圧回路3pからの周辺電源電圧 V_{ccp} を切換信号 ϕ SWに従って選択してセンス電源線5上に伝達しても周辺回路動作に何ら悪影響を及ぼすことなく、センス電源電圧 V_{ccs} の電圧レベルを、周辺電源電圧 V_{ccp} レベルにまで上昇させることができる。

【0157】[他の用途への適用] 図22は、この発明の実施の形態3の他の用途への適用例を示す図である。図22に示す構成において、電源線SIGに、デカップリング容量Cdが接続される。この電源線SIG上の電圧を内部回路IKが利用する。この電源線SIGには、専用のモニタ用のパッドPDBが接続され、またこの電源線SIGの電圧レベルは、パッドPDAを介して外部から強制的に設定可能である（図15および図17に示す構成参照）。デカップリング容量Cdは、この電源線SIG上の電圧を一定の電圧レベルに保持する機能を備え、ノイズ制御機能を備える。

【0158】一定のシミュレーションにより、このデカップリング容量Cdの候補容量値を求める。テストモード時において、この電源線SIG上の電圧をパッドPDを介して外部から変化させ、このとき、パッドPDBを介して電源線SIG上の電圧変化をモニタする。電源線SIGの電圧変化の最も少ない電圧（パッドPDAを介

して印加される電圧)を求める。そのときの電圧を V_t とする。電源線SIG上に実際に伝達される電圧を電圧 V_j とする。その際、最適化された電圧 V_t は、内部回路IKが消費した電流またはノイズを補償しており、そのときの消費電荷は、 $V_t \cdot C_d$ で与えられる。したがってこの安定化容量Cdの最適値 C_{do} は、次式で与えられる。

$$【0159】C_{do} = (V_t / V_j) \cdot C_d$$

これにより、安定化容量Cdの最適値を求めることができ、最小占有面積の安定化容量を実現することができる。

【0160】[他の用途への適用例2] 図23は、この発明の実施の形態3の適用例2の構成を概略的に示す図である。図23において、出力データビット $Q_0 \sim Q_n$ それぞれに対応して出力バッファOB0~OBnが設けられる。これらの出力バッファOB0~OBnは、内部から読出された内部読出データRD0, /RD0~RDn, /RDnをバッファ処理してそれぞれ対応の出力データ $Q_0 \sim Q_n$ を生成して外部へ出力する。これらの出力バッファOB0~OBnは、同じ構成を備えるため、図23においては、出力バッファOB0の構成を代表的に示す。

【0161】出力バッファOB0は、内部読出データRD0の電圧レベルを高電圧 V_{pp} レベルに変換するレベル変換回路26aと、レベル変換回路26aの出力信号がHレベルのとき導通し、Hレベルへ出力データビット Q_0 を駆動するnチャネルMOSトランジスタ27aと、補の内部読出データ/RD0がHレベルのとき導通し、接地電圧レベルへ出力データビット Q_0 を駆動するnチャネルMOSトランジスタ27bを含む。レベル変換回路26aは、高電圧 V_{pp} を一方動作電源電圧として動作し、内部読出データRD0のHレベル（内部電源電圧（ V_{ccs} レベル））を高電圧 V_{pp} レベルに変換する。MOSトランジスタ27aは、電源電圧 V_{ccq} を一方動作電源電圧として受け、このレベル変換回路26aからの電源電圧 V_{ccq} よりも高い高電圧 V_{pp} をゲートに受けて、しきい値電圧損失を生じさせることなく、電源電圧 V_{ccq} レベルのHレベルへ出力データビット Q_0 を駆動する。

【0162】これらの出力バッファOB0~OBnに共通に、第1の高電圧 V_{pp1} を発生する V_{pp1} 発生回路30aと、第1の高電圧 V_{pp1} よりも高い第2の高電圧 V_{pp2} を発生する V_{pp2} 発生回路30bと、切換信号 ϕ_a に応答して高電圧 V_{pp1} および V_{pp2} の一方を内部高電圧伝達線30d上に伝達する切換回路30cと、この内部高電圧伝達線30dの電圧を安定化する安定化容量30eを含む。

【0163】この内部高電圧伝達線30dが、出力バッファOB0~OBnそれぞれに含まれるレベル変換回路へ高電圧 V_{pp} を供給する。切換信号 ϕ_a が、出力バッ

ファOB0～OBnの動作開始時および動作完了時に所定期間第2の高電圧Vpp2を選択するように発生される。したがって、これらの出力バッファOB0～OBnにおいてレベル変換回路26aが動作するとき、内部高電圧伝達線30d上の電圧は第2の高電圧Vpp2レベルに保持されており、レベル変換回路26aの動作時においても、内部高電圧Vppの電圧レベルの低下を伴うことなく安定にレベル変換動作を行なうことができる。これにより、出力バッファOB0～OBnは、出力トランジスタ27aのしきい値電圧損失の影響を受けることなく、また動作速度低下を生じることなく高速で電源電圧Vccqレベルの出力データビットを生成する。

【0164】この内部高電圧伝達線30dの安定化容量30eの容量値を最適化するために、先の図15から図20において説明した構成を利用することができ、最小占有面積で安定に高電圧Vppを生成する安定化容量30eを実現することができる。

【0165】なお、Vpp1発生回路30aおよびVpp2発生回路30bは、たとえばチャージポンプ回路で構成される。切換回路φaは、標準DRAMの場合、出カインーブル信号/OEの活性化および非活性化に応答して所定期間第2の高電圧Vpp2を選択する状態に設定される。クロック信号に同期してデータの出力を行なう同期型半導体記憶装置の場合、切換信号φaは、データ読出を指示するリードコマンドが与えられてから、所定期間（通常、CASレイテンシよりも短い期間）経過後バースト長（1つのリードコマンドにより、連続的に読出されるデータビットの数）期間クロック信号に同期して切換信号φaが、第2の高電圧Vpp2を選択する状態に設定される。

【0166】なお、この切換信号φaは、内部読出データRD0、/RD0～RDn、/RDnの変化を検出することに第2の内部高電圧Vpp2を選択する状態に設定されるように構成されてもよい。

【0167】この図23に示す構成を利用することにより、小占有面積で、高速にかつ安定にデータを出力することのできる出力回路を実現することができる。

【0168】以上のように、この発明の実施の形態3に従えば、電源線または内部高電圧線などの所定電圧が印加される電圧を安定化するためのキャパシタの最適値を、外部から観測可能としたため、最小占有面積の安定化容量を実現することができ、装置占有面積を低減することができる。

【0169】[実施の形態4] 図24は、この発明の実施の形態4に従う半導体記憶装置の要部の構成を示す図である。図24においては、図1に示す内部電源回路1に含まれる降圧回路の構成が示される。センス降圧回路および周辺降圧回路は、動作特性は異なるものの、同じ回路構成を有するため、図24においては、1つの降圧回路3を示す。

【0170】図24において、降圧回路3は、内部電源線37上の内部電源電圧Vintと基準電圧Vrefのレベルを変換してレベル変換された電源電圧SFVinおよびレベル変換された基準電圧SFVrを出力するローカルレベル変換回路35と、ローカルレベル変換回路35からのレベル変換された電圧SFVinおよびSFVrを比較し、その比較結果を示す信号φdrを出力する比較器3cと、比較器3cの出力信号φdrに従って外部電源ノードから内部電源線37へ電流を供給するpチャネルMOSトランジスタで構成される電流ドライブトランジスタ3dを含む。比較器3cが、差動増幅回路で構成され、その出力信号φdrの振幅は、ほぼ外部電源電圧Vextから接地電圧の間に設定される。これにより、外部電源電圧Vextの電圧レベル低下時における電流ドライブトランジスタ3dのゲートソース間電圧低下の問題を解消し、電流ドライブトランジスタ3dの電流供給能力の急激な低下を防止する。

【0171】比較器3cは、外部電源ノードとノードNDMの間に接続されかつそのゲートがノードNDMに接続されるpチャネルMOSトランジスタQ61と、外部電源ノードとノードNDNの間に接続されかつそのゲートがノードNDMに接続されるpチャネルMOSトランジスタQ60と、ノードNDNと接地ノードの間に接続されかつそのゲートに、レベル変換された基準電圧SFVrを受けるnチャネルMOSトランジスタQ62と、ノードNDMと接地ノードの間に接続されかつそのゲートにレベル変換された内部電源電圧SFVinを受けるnチャネルMOSトランジスタQ63を含む。MOSトランジスタQ60およびQ61が、カレントミラー段を構成し、MOSトランジスタQ62およびQ63が、比較段を形成する。ノードNDNから電流ドライブトランジスタ3dのゲートへ与えられる出力信号φdrが出力される。次に動作について簡単に説明する。

【0172】ローカルレベル変換回路35は、後にその構成および動作については詳細に説明するが、基準電圧Vrefおよび内部電源電圧Vintをそれぞれレベル変換してレベル変換電圧SFVrおよびSFVinを生成する。これらのレベル変換電圧SFVrおよびSFVinは、それぞれ基準電圧Vrefおよび内部電源電圧Vintに対応した電圧レベルであり、それらの電圧差が基準電圧Vrefおよび内部電源電圧Vintの電圧差よりも小さくなる（擬似的分圧で電圧差も分圧されている）が、正確にこれらの基準電圧Vrefおよび内部電源電圧Vintの電圧差を反映している。比較器3cが、このレベル変換電圧SFVrおよびSFVinを差動増幅する。レベル変換電源電圧SFVinが、レベル変換基準電圧SFVrよりも低いときには、MOSトランジスタQ62が、MOSトランジスタQ60を介して与えられる電流を接地ノードへ放電し、ノードNDNの電圧レベルを低下させ、その出力信号φdrにより電流

ドライブトランジスタ 3d のコンダクタンスを大きくして電流 I_d を大きくする。このノード NDN は、MOS トランジスタ Q62 を介して接地ノードに結合されており、ノード NDN の最低到達電位は接地電圧レベルとなる。したがって、電流ドライブトランジスタ 3d のゲートソース間電圧は最大 V_{ext} となり、電流ドライブトランジスタ 3d は、外部電源電圧 V_{ext} 低下時においても大きな電流駆動力をもって電流 I_d を内部電源線 37 上に供給することができる。

【0173】一方、レベル変換電源電圧 SFV_{in} がレベル変換基準電圧 SFV_r よりも高い場合には、MOS トランジスタ Q60 を介して供給される電流を MOS トランジスタ Q62 がすべて放電できず、ノード NDN の電圧レベルが上昇し、ノード NDN からの出力信号 ϕ_{dr} により、電流ドライブトランジスタ 3d のコンダクタンスが低下し、電流供給が停止する。

【0174】図 25 (A) に示すように、比較器 3c の出力信号 ϕ_{dr} は、接地電圧レベルが最低到達可能電圧となる。したがって図 25 (A) において一点鎖線で示すように、電流源トランジスタのチャネル抵抗に起因する出力信号 ϕ_{dr} の最低到達電位の浮上りを防止することができ、外部電源電圧 V_{ext} が動作可能下限領域近傍の電圧レベルにある場合においても、電流ドライブトランジスタ 3d のゲートソース間電圧の絶対値を十分大きくすることができ、電流ドライブトランジスタ 3d の電流駆動力は、図 25 (B) に示すように、それほど低下しない。この出力信号 ϕ_{dr} の最低到達電圧が接地電圧レベルよりも高いため、外部電源電圧 V_{ext} の動作可能下限領域近傍になると、その電流ドライブトランジスタ 3d の電流供給能力が急激に低下する（ゲートソース間電圧がしきい値電圧の絶対値に近くなるため）という従来の構成の問題を解消することができる。

【0175】電流ドライブトランジスタ 3d の電流駆動力を大きくするために、そのチャネル幅 W を大きくする必要がなく、降圧回路占有面積を低減することができる。この場合、ローカルレベル変換回路 35 が設けられるが、このローカルレベル変換回路 35 を構成する MOS トランジスタは、単にレベル変換を行なうだけであり、その占有面積は十分小さく、回路占有面積の増加は十分に抑制される（従来の場合、十分な電流駆動力を電流ドライブトランジスタ 3d に持たせる場合、そのチャネル幅は数 μm となる）。

【0176】この図 24 に示す降圧回路において、比較器 3c の出力信号 ϕ_{dr} の最低到達電位を接地電圧レベルとする場合、比較器 3c を最も感度のよい領域で動作させる必要がある。基準電圧 V_{ref} および内部電源電圧 V_{int} を直接比較器 3c へ与えた場合、これらの電圧 V_{ref} および V_{int} は接地電圧よりも十分高いため、MOS トランジスタ Q62 および Q63 のコンダクタンスがともに大きくなり、その応答特性が劣化する。

これを防止するため、ローカルレベル変換回路 35 が設けられる。

【0177】ローカルレベル変換回路 35 は、外部電源ノードとノード NDJ の間に接続されかつそのゲートに活性化信号 $ZACT$ を受ける p チャネル MOS トランジスタ Q50 と、ノード NDJ とノード NDK の間に接続され、かつそのゲートに基準電圧 V_{ref} を受ける n チャネル MOS トランジスタ Q51 と、ノード NDJ とノード NDL の間に接続されかつそのゲートに内部電源電圧 V_{int} を受ける n チャネル MOS トランジスタ Q52 と、ノード NDK と接地ノードの間に接続されかつそのゲートがノード NDK に接続される n チャネル MOS トランジスタ Q53 と、ノード NDL と接地ノードの間に接続されかつそのゲートがノード NDK に接続される n チャネル MOS トランジスタ Q54 と、ノード NDK と接地ノードの間に接続されかつそのゲートに活性化信号 $ZACT$ を受ける n チャネル MOS トランジスタ Q55 と、ノード NDL と接地ノードの間に接続されかつそのゲートに活性化信号 $ZACT$ を受ける n チャネル MOS トランジスタを含む。活性化信号 $ZACT$ は、内部電源電圧 V_{int} を消費する内部回路の活性期間活性状態の L レベルとされる信号であり、たとえば標準 DRAM における内部ロウアドレスストロブ信号に相当する。次に、このローカルレベル変換回路 35 の動作について説明する。

【0178】活性化信号 $ZACT$ が H レベルの非活性状態のときには、MOS トランジスタ Q50 がオフ状態、一方、MOS トランジスタ Q55 および Q56 がオン状態となり、レベル変換電圧 SFV_{in} および SFV_r は接地電圧レベルの L レベルを維持する。この MOS トランジスタ Q55 および Q56 を、活性化信号 $ZACT$ の非活性化時オン状態とすることにより、このローカルレベル変換回路 35 における内部ノードがフローティング状態となるのを防止し、かつ MOS トランジスタ Q0 をオフ状態として、このローカルレベル変換回路 35 における貫通電流の発生を防止する。また、このとき、レベル変換電圧 SFV_{in} および SFV_r も接地電圧レベルの L レベルであり、比較器 3c における MOS トランジスタ Q62 および Q63 をオフ状態として、比較器 3c における貫通電流の発生を防止する。これにより、消費電流を低減する。

【0179】活性化信号 $ZACT$ が活性状態の L レベルとなると、MOS トランジスタ Q50 がオン状態、MOS トランジスタ Q55 および Q56 がオフ状態となり、ローカルレベル変換回路 35 がレベル変換動作を開始する。基準電圧 V_{ref} および内部電源電圧 V_{int} は、ともに外部電源電圧 V_{ext} よりも低い電圧レベルにある。したがって MOS トランジスタ Q51 および Q52 が飽和領域で動作する。MOS トランジスタ Q53 はそのゲートおよびドレインが相互接続されおり、飽和領域

で動作する。MOSトランジスタQ51～Q54は、同じサイズおよびしきい値電圧を備える。MOSトランジスタQ51およびQ53には、同じ大きさの電流が流れる。したがって、次式が成立する。

$$【0180】(V_{ref}-V_n-V_{th})^{\alpha} \cdot \beta = (V_n-V_{th})^{\alpha} \cdot \beta$$

ここで、 V_n はノードNDKの電圧を示す。上式から、次式が求められる。

$$【0181】V_n = V_{ref}/2$$

すなわち、ノードNDKには、基準電圧 V_{ref} の1/2の電圧が生じる。一方、MOSトランジスタQ53およびQ54が同じサイズを有しており、これらのMOSトランジスタQ53およびQ54には同じ大きさの電流が流れる。MOSトランジスタQ54が飽和領域で動作するか不飽和領域で動作するかは、ノードNDLの電圧により決定される。ノードNDLの電圧は、MOSトランジスタQ52およびQ54に同じ大きさの電流が流れる状態で安定化する。したがって、ノードNDLの電圧を V_l とすると、次式が得られる。

$$【0182】(V_{int}-V_l-V_{th})^{\alpha} \cdot \beta = (V_n-V_{th})^{\alpha} \cdot \beta$$

$$V_{int}-V_l = V_n$$

$$V_l = V_{int}-V_{ref}/2$$

したがって、このノードNDLには、内部電源電圧 V_{int} とノードNDKの電圧 $V_{ref}/2$ の差の電圧が現れる。すなわち、レベル変換された内部電源電圧 SFV_{in} は、内部電源電圧 V_{int} を $V_{ref}/2$ レベルシフトした電圧レベルとなり、一方、レベル変換された基準電圧 SFV_r は、分割比2で抵抗分割した基準電圧となる。

【0183】比較器3cは、この電圧($V_{int}-V_{ref}/2$)と $V_{ref}/2$ とを比較しており、したがって、内部電源電圧 V_{int} と基準電圧 V_{ref} の比較が、この比較器3cにおいて行なわれている(比較器3cは差動増幅で構成される)。このローカルレベル変換回路35を用いることにより、比較器3cの出力信号 ϕ_{dr} の最低到達電圧を接地電圧レベルとしたときにおいても、レベル変換された電圧 SFV_r および SFV_{in} を比較することにより、比較器3cは最も感度のよい領域で比較動作を行なうて、内部電源電圧 V_{int} の変化に高速で応答することができる。

【0184】[変更例1] 図26は、この発明の実施の形態4の変更例1の構成を示す図である。この図26に示す構成においては、ローカルレベル変換回路35において、MOSトランジスタQ53およびQ54のゲートがノードNDLに接続される点が、図24に示す構成と異なる。他の構成は、図24に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0185】この図26に示す構成の場合、ローカルレ

ベル変換回路35においては、MOSトランジスタQ52およびQ54が飽和領域で動作するため、ノードNDLから出力されるレベル変換された内部電源電圧 SFV_{in} は、内部電源電圧 V_{int} の1/2に等しくなる。一方、MOSトランジスタQ51が飽和領域で動作し、このMOSトランジスタQ51には、MOSトランジスタQ54を介して流れる電流と同じ大きさの電流が流れることから、これらの飽和電流を等しいとして次式が得られる。

$$【0186】V_{int}/2 = V_{ref}-SFV_r$$

$$SFV_r = V_{ref}-V_{int}/2$$

したがって、図27に示すように、レベル変換された内部電源電圧 SFV_{in} とレベル変換された基準電圧 SFV_r が、逆相で内部電源電圧 V_{int} に従って変化する。比較器3cは、このレベル変換された基準電圧 SFV_r ($=V_{ref}-V_{int}/2$)とレベル変換された電源電圧 SFV_{in} ($=V_{int}/2$)を比較しており、等価的に、基準電圧 V_{ref} と内部電源電圧 V_{int} の電圧レベルを比較している。しかしながら、これらのレベル変換された電圧 SFV_r および SFV_{in} は、逆相で変化するため、内部電源電圧 V_{int} の変動に対する比較器3eへの入力電圧差は拡大され、より正確に、内部電源電圧 V_{int} の変化に応じて電流ドライブトランジスタ3dのコンダクタンスを制御でき、応答特性に優れた降圧回路を実現することができる。

【0187】なお、このレベル変換された電源電圧 SFV_{in} が、レベル変換された基準電圧 SFV_r よりも高くなると比較器3cにおいて、ノードNDNからの出力信号 ϕ_{dr} がHレベルとなり、電流ドライブトランジスタ3dがオフ状態へ移行する。このレベル変換電圧 SFV_{in} および SFV_r が等しくなるのは、内部電源電圧 V_{int} が基準電圧 V_{ref} に等しくなったときである。

【0188】[変更例2] 図28は、この発明の実施の形態4の変更例2の構成を示す図である。この図28に示す降圧回路においては、内部電源線505d上の内部電源電圧 V_{cc} および基準電圧 V_{ref} をレベル変換するローカルレベル変換回路35の出力するレベル変換電圧 SFV_r および SFV_{cc} が比較器505aに与えられる。ローカルレベル変換回路35の構成は、図24または図26に示す構成と同じである。比較器505aは、図53に示す構成と同じであり、対応する部分には同一参照番号を付す。

【0189】この図28に示す降圧回路の構成においては、ローカルレベル変換回路35からのレベル変換された電圧 SFV_r および SFV_{cc} が比較器505aへ与えられる。したがって、比較器505aは、最も感度のよい領域で動作することが可能となり(MOSトランジスタNQ1およびNQ2のコンダクタンスがそれぞれのゲート電圧に応じて大きく変化する領域)、比較器50

5 a の応答特性を改善することができる。

【0190】外部電源電圧 V_{ext} が動作可能下限領域近傍の電圧レベルとなった場合においても、電流ドライブトランジスタ 505 a の電流供給能力の低下を抑制するためには、電流源トランジスタ NQ3 のチャネル抵抗を十分小さくすることにより、対応可能である。

【0191】以上のように、この発明の実施の形態 4 に従えば、ローカルレベル変換回路を用いて基準電圧および内部電源電圧のレベル変換を行なってレベル変換された基準電圧および内部電源電圧を比較して、その比較結果に従って電流ドライブトランジスタのコンダクタンスを調整しているため、外部電源電圧が動作可能下限領域近傍の電圧レベルの場合にも、比較器を最も感度のよい領域で動作させることができ、内部電源電圧の変化に高速にตอบสนองしてその電圧レベル変動を抑制することができる。

【0192】また、比較器の比較段の MOS トランジスタを直接そのソースを接地電圧を受けるように構成することにより、比較器の出力信号振幅を、外部電源電圧から接地電圧レベルまで拡張することができ、外部電源電圧が動作下限近傍の電圧レベルであっても、電流ドライブトランジスタのゲートソース間電圧を十分大きくすることができ、この領域における電流ドライブトランジスタの電流駆動能力の低下を抑制することができる。また、電流ドライブトランジスタのチャネル幅を広くする必要がなく、占有面積を増大させることくな、安定に内部電源電圧を所定の電圧レベルに保持することができる。

【0193】また、ローカルレベル変換回路として、同一導電型の MOS トランジスタを用いているため、回路占有面積が低減できる。また、このローカルレベル変換回路は、電流制御比較回路であり、電流増幅動作を行なうものの、電圧増幅動作は行っていない。単に基準電圧および内部電源電圧のレベルシフトが等価的に MOS トランジスタのチャネル抵抗の比による抵抗分割により実現されているだけであり、高速で電圧レベルの比較動作を行なってレベル変換後の電圧を生成することができ、高速応答特性を有する降圧回路を実現することができる。また、ローカルレベル変換回路は、すべて同一導電型の MOS トランジスタで構成しているため、その構成要素の温度特性をすべて同じとすることができ、比較器により、このローカルレベル変換回路の出力信号が差動増幅されるため、これらのローカルレベル変換回路の出力電圧の温度依存性が相殺されることになり、温度依存性の相殺されたレベル変換基準電圧およびレベル変換電源電圧を生成することができる。これにより、基準電圧の温度特性補償により、その温度特性補償に応じた内部電源電圧を生成することができる。

【0194】〔実施の形態 5〕図 29 は、この発明の実施の形態 5 に従う半導体記憶装置の要部の構成を概略的

に示す図である。図 29 においては、内部電源回路および電圧レベル制御回路の部分の構成が概略的に示される。図 29 において内部電源回路 20 は、基準電圧 V_{refs} と周辺基準電圧 V_{refp} とに従ってセンス電源電圧 V_{cca} を基準電圧 V_{refs} または V_{refp} が決定する電圧レベルに保持するセンス降圧回路 3s を含む。

【0195】電圧レベル制御回路 10 は、切換信号 ϕS_W にตอบสนองしてセンス基準電圧 V_{refs} および周辺基準電圧 V_{refp} の一方を選択してセンス降圧回路 3s に伝達する切換回路 4 と、複数段の遅延回路（インバータ）で構成され、センス活性化信号 SEN を遅延して、複数の内部ノードから複数のタイミング信号を生成する遅延チェーン 50 と、この遅延チェーン 50 からの出力信号をデコードして、センス降圧回路 3s の活性／非活性および動作電流の増減を制御する信号を生成するデコード回路 52 を含む。センス電源線 5 には、センスアンブ回路 300 が結合され、またセンス電源線 5 には、センス電源線 5 上の電圧の安定化またはオーバドライブ時の電荷蓄積に用いられる安定化容量 7 が結合される。

【0196】切換回路 4 は、センス活性化信号 SEN の非活性化への移行時、周辺基準電圧 V_{refp} をセンス降圧回路 3s へ伝達する。このとき、デコード回路 52 は、センス降圧回路 3s の動作電流を増大させ、その応答速度を増加させる。センス動作時においては、センス降圧回路 3s は、デコード回路 52 からの出力信号に従ってその動作電流が増加され、高速にตอบสนองする。

【0197】遅延チェーン 50 は、直列接続された 1 組の遅延回路（インバータ段）を含む。この 1 組の遅延回路段の適当な出力信号を選択してデコードすることにより、複数の制御信号を生成する。これにより、制御信号生成部の構成要素数の低減および回路占有面積の低減を上げる。次に各部の構成について説明する。

【0198】図 30 は、図 29 に示す遅延チェーンおよびデコード回路の構成の一例を示す図である。図 30 において、遅延チェーン 50 は、センス活性化信号 SEN を反転するインバータ $IV0$ と、インバータ $IV0$ の出力信号を受ける縦続接続される遅延インバータ $DL0 \sim DL19$ を含む。遅延インバータ $DL3$ および $DL4$ の間には、遅延インバータ $DL3$ の出力信号およびインバータ $IV0$ の出力信号の一方を選択して遅延インバータ $DL4$ の入力部へ与える遅延切換スイッチ $DSW1$ が設けられ、遅延インバータ $DL7$ と遅延インバータ $DL8$ の間には、遅延インバータ $DL7$ の出力信号とインバータ $IV0$ の出力信号の一方を選択して遅延インバータ $DL8$ へ与える遅延切換スイッチ $DSW0$ が設けられる。遅延インバータ $DL11$ と遅延インバータ $DL12$ の間には、遅延インバータ $DL11$ の出力信号とインバータ $IV0$ の出力信号の一方を選択して遅延インバータ $DL12$ の入力部へ与える遅延切換スイッチ $DSW2$ が設け

られる。

【0199】さらに、遅延インバータDL2の出力信号と遅延インバータDL6の出力信号の一方を選択する出力選択スイッチSSW0と、遅延インバータDL10の出力信号と遅延インバータDL14の出力信号の一方を選択する出力切換スイッチSSW1が設けられる。出力切換スイッチSSW0およびSSW1により、この遅延チェーン50から出力される信号の遅延時間を変更することができる。また、遅延切換スイッチDSW0～DSW2により、この遅延インバータDL0～DL19の遅延チェーンの遅延時間を調整することができる。たとえば、遅延切換スイッチDSW0をインバータIV0の出力信号を選択する状態に設定することにより、遅延インバータDL0～DL7を短絡して、遅延インバータDL8へ信号を伝達することができる。図30においては、遅延切換スイッチDSW0～DSW2は、それぞれ遅延インバータの出力信号を選択する状態に設定され、遅延インバータDL0～DL19が、縦続接続される遅延チェーンを構成する。

【0200】デコード回路52は、インバータIV0の出力信号と遅延インバータDL19の出力信号を受ける2入力NAND回路NG1と、NAND回路NG1の出力信号を反転して降圧動作活性化信号ZACTを出力するインバータIV1と、インバータIV0の出力信号を反転するインバータIV2と、出力切換スイッチSSW1の出力信号と出力切換スイッチSSW0の出力信号を受ける2入力NAND回路NG2と、インバータIV2の出力信号とNAND回路NG2の出力信号SDTを受ける2入力NAND回路NG3と、インバータIV0の出力信号と出力切換スイッチSSW0の出力信号ODT

を受ける2入力NAND回路NG4と、NAND回路NG3およびNG4の出力信号を受ける2入力NAND回路NG5と、NAND回路NG5の出力信号を反転するインバータIV3を含む。インバータIV3から、動作電流を増加させる信号ZSPEEDが出力される。

【0201】図30に示すように、信号ZACTおよびZSPEEDを生成するために、遅延チェーンの遅延インバータを共有する構成とすることにより、複数の制御信号を生成するための遅延インバータの数を低減することができる。回路占有面積および消費電流を低減することができる。

【0202】図31は、図29に示すセンス降圧回路3sの構成を概略的に示す図である。図31において、センス降圧回路3sは、切換回路4から与えられる基準電圧Vrefとセンス電源線5上のセンス電源電圧Vccsを比較する比較器3saと、比較器3saの出力信号に従って外部電源ノードからセンス電源線5へ電流を供給する電流ドライブトランジスタ3sbと、センス活性化信号ZACTをインバータIV5を介してゲートに受け、比較器3saに対する電流源として動作するnチャ

ネルMOSトランジスタ3scと、制御信号ZSPEEDをインバータIV6を介してゲートに受けて、比較器3saの動作電流を増加させるnチャネルMOSトランジスタ3sdを含む。比較器3saの構成は、従来の構成であってもよく、また本実施の形態3における構成であってもよい。後にその構成については説明するが、いずれの回路構成であっても本実施の形態4に適用可能である。

【0203】この図31に示すセンス降圧回路3sにおいて、活性化信号ZACTが活性状態のLレベルとなると、インバータIV5の出力信号がHレベルとなり、MOSトランジスタ3scがオン状態となり、比較器3saに電流が流れる経路を形成し、比較動作を開始させる。一方、制御信号ZSPEEDが活性状態のLレベルとなると、インバータIV6を介してMOSトランジスタ3sdがオン状態となり、この比較器3saの電流源トランジスタとして動作し、比較器3saの動作電流を増加させる。制御信号ZSPEEDが活性状態のとき、比較器3saの動作速度が速くなり、高速に、このセンス電源線5上のセンス電源電圧Vccsの変化に対応する。

【0204】次に、この図30および図31に示す回路動作について図32に示す信号波形図を参照して説明する。センス活性化信号SENがLレベルからHレベルに立上ると、インバータIV0の出力信号がLレベルに立下がる。応じて、NAND回路NG1の出力信号がHレベルとなり、インバータIV1からの活性化信号ZACTがLレベルとなり、図31に示すMOSトランジスタ3scがオン状態となり、比較器3saが比較動作を開始する。一方、NAND回路NG4の出力信号がHレベルに立上る。信号SDTが出力切換スイッチSSW0の出力信号がLレベルであるため、Hレベルであり、一方、インバータIV2の出力信号もHレベルとなる。したがって、NAND回路NG3の出力信号がLレベルとなり、NAND回路NG5の出力信号がLレベルとなり、インバータIV3からの出力信号ZSPEEDがLレベルに立下がる。

【0205】センス活性化信号SENがHレベルに立上ってから、インバータIV0および遅延インバータDL0～DL6の有する遅延時間が経過すると、出力切換スイッチSSW0から出力される信号ODTがHレベルに立上る。しかしながら、この状態においてインバータIV0の出力信号はLレベルであり、NAND回路NG4の出力信号は変化しない。出力切換スイッチSSW0からの信号ODTがHレベルに立上ってから遅延インバータDL7～DL14が有する遅延時間が経過すると、出力切換スイッチSSW1の出力信号がHレベルに立上がり、NAND回路NG2の出力信号がともにHレベルとなり、信号SDTがLレベルに立下がり、NAND回路NG3の出力信号がHレベルとなる。応じて、N

AND回路NG5の両入力が高レベルとなり、NAND回路NG5の出力信号が低レベルとなり、応じてインバータIV3からの信号ZSPEEDが高レベルに立上がる。

【0206】したがって、信号ZSPEEDは、センス活性化信号SENが活性化されてから、遅延インバータDL0～DL14が有する遅延時間が経過するまで低レベルの活性状態を維持する。この間、比較器3saの動作電流が増加し、高速で、センス電源電圧Vccsの変化に対応する。

【0207】センス活性化信号SENが高レベルから低レベルに立下がり、センスアンプが非活性化されると、信号ODTが高レベルであるため、NAND回路NG4の出力信号が低レベルとなり、応じてNAND回路NG5およびインバータIV3により、信号ZSPEEDが低レベルに低下する。このセンス活性化信号SENが低レベルに立下がってから、遅延インバータDL0～DL14が有する遅延時間が経過すると、信号ODTが高レベルから低レベルに立下がり、NAND回路NG4の出力信号は高レベルに固定される。信号ODTが低レベルに立下がると、応じてNAND回路NG2からの出力信号SDTが高レベルに立上がる。インバータIV2の出力信号は低レベルであり、NAND回路NG3の出力信号は高レベルを維持する。一方、NAND回路NG4は、低レベルの信号ODTに従ってその出力信号を高レベルに立上げ、応じてNAND回路NG5の出力信号が低レベルとなり、応じて信号ZSPEEDが高レベルに立上がる。したがって、センス活性化信号SENの活性状態から非活性状態への移行時、遅延インバータDL0～DL6の有する遅延時間の間制御信号ZSPEEDが低レベルの活性状態に保持される。したがってセンスアンプ動作完了時、再び、この比較器3saの動作電流が増大し、センス電源線5へ高速で電流が供給され、いわゆるオーバドライブ状態とされ、センス電源電圧Vccsが周辺電源電圧Vccpレベルに充電される。このとき、切換信号φSWは、センス活性化信号SENの非活性化と制御信号ZPEEDの活性化にตอบสนองして生成され、基準電圧Vrefとして、周辺基準電圧Vrefpが選択される。これにより、センス動作完了時において、センス電源線5上の電圧を、周辺電源電圧Vccpレベルに予備充電し、センス動作時におけるセンス電源電圧Vccsの電圧レベル低下を抑制し、高速でセンス動作を行なう。

【0208】活性化信号ZACTは、センス活性化信号SENが活性状態から非活性状態へ移行した後さらに遅延インバータDL0～DL19が有する遅延時間が経過した後、高レベルの非活性状態へ駆動される。

【0209】したがって、この遅延チェーン50の出力信号を選択して、デコード回路52でデコードすることにより、センス活性化信号SENの活性化および非活性

化それぞれにตอบสนองして活性状態へ駆動されるパルス信号を容易に生成することができる。また、同時に、このデコード回路により、センス活性化信号SENの活性化にตอบสนองして活性化され、またこのセンス活性化信号SENの非活性化にตอบสนองして、所定時間経過後（オーバドライブ動作完了後）、非活性状態へ移行する降圧回路活性化信号ZACTを生成することができる。

【0210】図33は、図29に示す切換回路4へ与えられる切換信号φSWを発生する部分の構成の一例を示す図である。図33において、切換信号発生部は、信号SDTおよびセンス活性化信号SENを受けるNOR回路GT1を含む。このNOR回路GT1から出力される切換信号φSWが高レベルのときには、周辺基準電圧Vrefpが選択され、切換信号φSWが低レベルのときには、センス用基準電圧Vrefsが選択される。このNOR回路GT1は、図29に示すデコード回路52に含まれており、たとえば、図30に示すインバータIV2の出力信号とNAND回路NG2の出力信号を受けるように構成される。したがって、図32に示す信号波形図から明らかなように、オーバドライブを行なう期間のみ、センス活性化信号SENおよび制御信号SDTが低レベルとなるため、この間、周辺基準電圧Vrefpが選択されてセンス降圧回路へ与えられ、センス電源線5上のセンス電源電圧Vccsを昇圧することができる。通常動作のセンス動作時においては、センス活性化信号SENが高レベルとなるため、切換信号φSWは、低レベルであり、センス基準電圧Vrefsが選択される。

【0211】[変更例1] 図34は、この発明の実施の形態5の変更例1の構成を示す図である。この図34に示すセンス降圧回路3sは、基準電圧Vrefとセンス電源線5上のセンス電源電圧Vccsのレベルを変換するローカルレベル変換回路35と、このローカルレベル変換回路35からのレベル変換された電圧を比較する比較器3cと、比較器3cの出力信号に従って外部電源ノードからセンス電源線5へ電流を供給する電流ドライブトランジスタ3dを含む。

【0212】比較器3cは、ローカルレベル変換回路35からの電圧を受けるMOSトランジスタQ62およびQ63が接地ノードに結合される。したがって、図26に示す降圧回路と同様、電流ドライブトランジスタ3dのゲートへ与えられるドライブ制御信号φdrを接地電圧レベルにまで駆動することができる。電流源として、カレントミラー回路を構成するMOSトランジスタQ60およびQ61と外部電源ノードの間に活性化信号ZACTをゲートに受けるpチャネルMOSトランジスタQ70と、制御信号ZSPEEDをゲートに受けるpチャネルMOSトランジスタQ71が設けられる。MOSトランジスタQ60およびQ61は、この電流源トランジスタQ70およびQ71から供給される電流を放電することができる。

【0213】この図34に示す構成を利用することにより、センスアンプ動作時において制御信号ZSPEEDを活性化状態へ駆動して、動作電流を大きくし、またセンス動作完了後のオーバドライブ時においても、制御信号ZSPEEDに従って、動作電流を大きくして、高速でセンス電源電圧Vccsの電圧レベルを上昇させることができる。

【0214】なお、このセンス電源線5と接地ノードの間には、外部電源ノードにそのゲートが結合されて抵抗素子として動作するnチャネルMOSトランジスタQ72とMOSトランジスタQ72の接地ノードの間に結合されかつインバータIV7を介してゲートに活性化信号ZACTを受けるnチャネルMOSトランジスタQ73が設けられる。センス降圧回路3sの非活性化状態時（スタンバイサイクル時）においては、MOSトランジスタQ73をオフ状態とし、センス電源線5から接地ノードへ電流が流れるのを防止し、消費電流の低減を図る。また、MOSトランジスタQ72の抵抗値を大きくすることにより、センス降圧回路3sの動作時においてセンス電源線5から接地ノードへ電流が流れるのを抑制し、センス電源電圧Vccsが上昇しすぎるのを防止しかつ正確にセンス電源電圧Vccsをローカルレベル変換回路35へ伝達する。

【0215】[変更例2] 図35は、この発明の実施の形態5の変更例2の構成を概略的に示す図である。図35に示す構成において、内部電源回路1は、基準電圧Vref sに従ってセンス電源電圧Vccsを生成するセンス降圧回路3sと、周辺基準電圧Vref pに従って周辺電源電圧Vccpを生成する周辺降圧回路3pと、切換制御信号φSWに従ってセンス降圧回路3sおよび周辺降圧回路3pからの電源電圧VccsおよびVccpの一方を選択してセンス電源線5上にセンス電源電圧（アレイ電源電圧）Vccaとして伝達する切換回路4を含む。

【0216】電圧レベル制御回路10は、内部サイクル開始指示信号を遅延する遅延チェーン50と、この遅延チェーン50の所定の遅延信号をデコードして、センス降圧回路3sおよび周辺降圧回路3pの動作電流および活性/非活性化を制御する信号を生成するデコード回路52を含む。遅延チェーン50は、メモリサイクル活性化信号CMAに従ってセンスアンプ活性化信号を生成し、かつこのセンスアンプ活性化信号を遅延して各制御信号ZACT、ZSPDS、RASおよびZSPDPを生成する。次に、この図35に示す内部電源回路の動作を図36に示す信号波形図を参照して説明する。

【0217】メモリサイクル活性化信号CMAが活性化状態のHレベルとなると、内部のメモリセル行選択動作開始指示信号RASがHレベルの活性化状態へ駆動される。メモリセルアレイにおいては、メモリセル行の選択が行なわれる。また周辺降圧回路3pが活性化される。

【0218】次いで、所定時間が経過すると、センスアンプ活性化信号SENがHレベルの活性化状態へ駆動され、図35に示すセンスアンプ回路300が活性化される。このセンス活性化信号SENの活性化にตอบสนองして、活性化信号ZACTがLレベルの活性化状態へ駆動され、センス降圧回路3sが降圧動作を開始する。この活性化信号ZACTの活性化にตอบสนองして、デコード回路52からの制御信号ZSPDSが所定期間Lレベルの活性化状態へ駆動される。これにより、センス降圧回路3sにおいてその動作電流が大きくなり、高速で動作してセンスアンプ動作時におけるセンス電流を補償する。センスアンプ回路300のセンス動作が完了し、メモリセルデータのラッチ状態となると、制御信号SPDSがHレベルの非活性化状態となり、センス降圧回路3sは、その動作電流が低減される。

【0219】メモリサイクルが完了すると、メモリサイクル活性化信号CMAがLレベルの非活性化状態へ駆動され、応じてセンス活性化信号SENがLレベルの非活性化状態へ駆動される。センスアンプ回路300が非活性化状態となり、また活性化信号ZACTもHレベルの非活性化状態となり、センス降圧回路3sが、その降圧動作を停止する。

【0220】一方、このメモリサイクル活性化信号CMAの非活性化（Lレベル）にตอบสนองして、制御信号ZSPDPがLレベルの活性化状態へ駆動され、周辺降圧回路3pの動作電流が増大される（周辺降圧回路3pは信号RASにより活性化される）。切換回路4は、切換信号φSWに従って周辺降圧回路3pからの周辺電源電圧Vccpを選択してセンス電源線5へ伝達する。したがって、この周辺降圧回路3pは、その動作電流が大きくなるため、その大きな動作電流により、高速でセンス電源線5を周辺電源電圧Vccpレベルにまで充電する。制御信号ZSPDPが非活性化され、センス電源線5のオーバドライブが完了すると、メモリセル行選択動作開始指示信号RASがLレベルの非活性化状態となり、周辺降圧回路3pが非活性化状態となり、降圧動作を停止する。

【0221】この図35に示す構成においては、センスアンプ回路300の動作時には、センス降圧回路3sの動作電流を制御信号ZSPDSにより大きくし、またメモリサイクル完了時、すなわちセンスアンプ回路300の非活性化時には、周辺降圧回路3pの動作電流を大きくして、センス電源線5をオーバドライブする（安定化容量7を高速で充電する）。このような制御信号ZACT、RAS、ZSPDSおよびZSPDPを、遅延チェーン50およびデコード回路52を用いて生成する。

【0222】図37は、図35に示す遅延チェーン50およびデコード回路52の構成を概略的に示す図である。図37において、遅延チェーン50は、3段の縦続接続される遅延段50a、50bおよび50cを含む。

これらの遅延段 50a~50c は、それぞれ所定時間メモリサイクル活性化信号 CMA を遅延する。

【0223】デコード回路 52 は、メモリサイクル活性化信号 CMA と遅延段 50a の出力信号を受ける OR 回路 52a と、遅延段 50a の出力信号を反転するインバータ 52b と、インバータ 52b の出力信号とメモリサイクル活性化信号 CMA を受ける OR 回路 52c と、OR 回路 52c の出力信号を反転するインバータ 52d を含む。OR 回路 52a から内部メモリセル行選択動作開始指示信号 RAS が出力され、OR 回路 52c から制御信号 ZSPDP が出力され、インバータ 52d から切
10 換指示信号 ϕ SW が出力される。メモリセル行選択動作開始指示信号 RAS は、メモリサイクル活性化信号 CMA が活性状態へ駆動されると活性状態へ駆動され、次いで、遅延段 50a の出力信号が非活性状態へ駆動されるまで活性状態に保持される。したがってこの信号 RAS は、メモリサイクル活性化信号 CMA が非活性化されてから遅延段 50a が有する遅延時間経過後に非活性状態へ駆動される。制御信号 ZSPDP は、メモリサイクル活性化信号 CMA が非活性化されると、遅延段 50a の
20 出力信号が L レベルの非活性状態に達するまで、L レベルに保持される。したがってこの制御信号 ZSPDP は、メモリセルサイクルが完了すると、遅延段 50a の有する遅延時間の間 L レベルの活性状態に駆動される。切換信号 ϕ SW は、この制御信号 ZSPDP の活性化時、L レベルとなり、図 35 に示す切換回路 4 において周辺降圧回路 3p からの周辺電源電圧 Vccp を選択させる。

【0224】デコード回路 52 は、さらに、メモリサイクル活性化信号 CMA と遅延段 50b の出力信号を受け
30 る AND 回路 52e と、メモリサイクル活性化信号 CMA と遅延段 50b の出力信号を受ける NAND 回路 52f と、遅延段 50c の出力信号を反転するインバータ 52g と、遅延段 50b の出力信号とインバータ 52g の出力信号を受ける NAND 回路 52h を含む。AND 回路 52e からセンス活性化信号 SEN が出力される。したがって、このセンス活性化信号 SEN は、メモリサイクル活性化信号 CMA が活性状態の H レベルへ駆動されてから、遅延段 50a および 50b の有する遅延時間が経過した後に活性状態へ駆動され、メモリサイクル活性化信号 CMA の非活性化に
40 応答して非活性状態へ駆動される。

【0225】NAND 回路 52f から、活性化信号 ZACT が出力される。この活性化信号 ZACT は、センス活性化信号 SEN とほぼ同じ期間活性状態の L レベルに駆動される。NAND 回路 52h から制御信号 ZSPD
50 S が出力される。この制御信号 ZSPDS は、遅延段 50b の出力信号が H レベルとなると、すなわちセンス活性化信号 SEN が活性化されると、遅延段 50c が有する遅延時間の間活性状態の L レベルに駆動される。これ

により、センス降圧回路 3s の動作電流をセンス動作時に増大させて応答速度を速くし、センス電源電圧の低下を抑制する。

【0226】なお、メモリサイクル活性化信号 CMA は、標準 DRAM の場合には、外部からのロウアドレスストロブ信号 ext/RAS に従って活性状態へ駆動され、またクロック信号に同期して動作するクロック同期型半導体記憶装置の場合、外部から与えられるアクティブコマンドに
10 応答して活性状態へ駆動され、プリチャージコマンドに
20 応答して非活性状態へ駆動される。

【0227】なお、活性化信号 ZACT および RAS の活性化時、センス降圧回路 3s および周辺降圧回路 3p がそれぞれ活性化され、制御信号 ZSPDS および ZSPDP が活性状態のとき、センス降圧回路 3s および周辺降圧回路 3p の動作電流がそれぞれ増加される。これらのセンス降圧回路 3s および周辺降圧回路 3p の構成は、図 31 および図 34 に示す構成のいずれが用いられてもよい。電流源トランジスタへ活性化信号 ZACT
（または RAS）および制御信号 ZSPDS（または ZSPDP）が与えられればよい。

【0228】また切換回路 4 は、通常の CMOS トランスマッションゲートで構成することができる。

【0229】以上のように、この発明の実施の形態 5 に従えば、1 つの信号から、遅延段列を用いて複数のタイミング信号を生成し、これらの複数のタイミング信号をデコードして降圧回路の動作電流および活性/非活性を制御する信号を生成しているため、この活性/非活性を制御するための制御信号および動作電流を制御するための制御信号それぞれに遅延回路を設ける必要がなく、回路素子数を低減することができ、応じて回路占有面積および消費電流を低減することができる。

【0230】【実施の形態 6】図 38 は、この発明の実施の形態 6 に従う半導体記憶装置の要部の構成を示す図である。図 38 においては、電源投入後内部電源電圧 Vint が所定電圧レベルに到達するまで強制的に降圧回路 3 を活性化するための電源レベル判定回路 60 が設けられる。この電源レベル判定回路 60 は、外部電源電圧 Vext および内部電源電圧 Vint および基準電圧 Vref を受け、内部電源電圧 Vint が所定電圧レベルに到達したか否かを判定する。外部電源電圧 Vext との関係から内部電源電圧 Vint が所定電圧レベルに到達したと判定すると、強制活性化信号 ZPUP が H レベルへ駆動される。NAND 回路 62 は、活性化信号 ZACT と電源レベル判定回路 60 からの強制活性化信号 ZPUP とを受け、これらの一方が活性状態のとき降圧回路 3 を活性状態へ駆動する。この降圧回路 3 は、センス降圧回路および周辺降圧回路のいずれであってもよく、またその構成は、先の実施の形態 4 において説明した構成を備えていてもよく、また従来の内部降圧回路と同様の構成を備えていてもよい。

【0231】この電源レベル判定回路60を利用することにより、電源投入検出信号PORを用いないため、外部電源ノードと内部電源線の直結がなく、内部電源電圧Vintが外部電源電圧Vextレベルに駆動されるのを防止することができ、内部電源電圧Vintを、基準電圧Vrefに従って変化させることができ、内部回路に過大な電圧が印加されるのを防止することができる。

【0232】図39は、図38に示す電源レベル判定回路60の具体的構成を示す図である。図39において、電源レベル判定回路60は、基準電圧Vrefを一方動作電源電圧として動作し、内部電源電圧Vintを反転するCMOSインバータ60aと、CMOSインバータ60aの出力信号に従ってノードA2を接地電圧レベルへ放電するnチャネルMOSトランジスタ60bと、ノードA2およびA3の電圧をラッチするためのCMOSインバータラッチ60cと、内部電源電圧Vintに従ってノードA3を接地電圧レベルへ放電するnチャネルMOSトランジスタ60dと、ノードA3上の信号電圧を反転して強制活性化信号ZPUPを出力するCMOSインバータ60eを含む。

【0233】CMOSインバータラッチ60cは、外部電源電圧Vextを受ける電源ノードPSと接地ノードとの間に接続され、それぞれのゲートがノードA3に接続されるpチャネルMOSトランジスタQ60およびnチャネルMOSトランジスタQ62を含むCMOSインバータと、外部電源ノードPSと接地ノードとの間に接続され、それぞれのゲートがノードA2に接続されるpチャネルMOSトランジスタおよびnチャネルMOSトランジスタQ63を含むCMOSインバータとを含む。

【0234】基準電圧Vrefは、降圧回路3において内部電源電圧Vintを生成するために用いられ、外部電源電圧Vextから生成される（実施の形態1および2参照）。CMOSインバータラッチ60cおよびCMOSインバータ60eは、外部電源ノードPSに与えられる外部電源電圧Vextを一方動作電源電圧として動作する。基準電圧Vrefは、内部電源電圧Vintよりも早い時点で所定の電圧レベルに到達して安定化する。次に、この図39に示す電源レベル判定回路60の動作を、図40に示す信号波形図を参照して説明する。

【0235】時刻t0において電源投入が行なわれ、外部電源ノードPSの外部電源電圧Vextの電圧レベルが上昇する。電源投入直後においては、基準電圧Vrefの電圧上昇速度が、内部電源電圧Vintの電圧上昇速度よりも速いため、CMOSインバータ60aにおいて、pチャネルMOSトランジスタのコンダクタンスがnチャネルMOSトランジスタのコンダクタンスよりも大きく、CMOSインバータ60aの出力信号の電圧レベルが、基準電圧Vrefのレベル上昇に従って上昇する。一方、CMOSインバータラッチ60cにおいては、電源投入直後、pチャネルMOSトランジスタQ6

0およびQ61が、オン状態にあり（ゲートソース間電圧がそのしきい値電圧の絶対値よりも大きい）、ノードA2およびA3の電圧レベルは、外部電源電圧Vextの電圧レベルの上昇に従って上昇する。また、CMOSインバータ60eにおいても、pチャネルMOSトランジスタのコンダクタンスがnチャネルMOSトランジスタのコンダクタンスよりも大きく、強制活性化信号ZPUPの電圧レベルが緩やかに上昇する。この電圧レベルは、図40において、誇張して示しているが、極めて低く、図38に示すNAND回路62は、この強制活性化信号ZPUPをLレベルと判定し、その出力信号をHレベルとする。これにより、降圧回路3が活性状態を維持し、基準電圧Vrefと内部電源電圧Vintの比較動作を行なって内部電源電圧Vintの電圧レベルを上昇させる。

【0236】時刻t1において、CMOSインバータ60aの出力信号の電圧レベルが、nチャネルMOSトランジスタ60bのしきい値電圧よりも高くなると、MOSトランジスタ60bがオン状態となり、ノードA2がnチャネルMOSトランジスタ60bおよびQ62により接地電圧レベルへ駆動される。nチャネルMOSトランジスタ60dは、内部電源電圧Vintの電圧レベル判定に用いられており、そのしきい値電圧または電流駆動力は、nチャネルMOSトランジスタ60bのそれよりも高くまたは小さくされている。ノードA2が接地電圧レベルへ駆動されると、CMOSインバータラッチ60cにおいて、nチャネルMOSトランジスタQ63がオフ状態となり、一方、pチャネルMOSトランジスタQ61がより強い導通状態となり、ノードA3を外部電源ノードPSに結合し、その電圧レベルを外部電源電圧Vextレベルにまで上昇させる。また、ノードA3の電圧レベルが外部電源電圧Vextレベルに上昇するため、CMOSインバータ60eにおいては、pチャネルMOSトランジスタがオフ状態、またnチャネルMOSトランジスタがオン状態となり、強制活性化信号ZPUPが接地電圧レベルに駆動される。

【0237】内部電源電圧Vintの電圧レベルが上昇するにつれ、CMOSインバータ60bにおいては、nチャネルMOSトランジスタのコンダクタンスがpチャネルMOSトランジスタのコンダクタンスよりも大きくなり、CMOSインバータ60aの出力信号の電圧レベルが低下し、最終的に接地電圧レベルに駆動される（基準電圧Vrefと内部電源電圧Vintの差が、内部電源電圧Vintと接地電圧との差よりも小さくなるため）。これにより、nチャネルMOSトランジスタ60bがオフ状態となり、ノードA2はCMOSインバータラッチ60cに含まれるnチャネルMOSトランジスタQ62により接地電圧レベルに保持される。一方、ノードA3は、pチャネルMOSトランジスタQ61により、外部電源電圧Vextの電圧レベルに保持される。

【0238】内部電源電圧 V_{int} の電圧レベルが上昇すると、この内部電源電圧 V_{int} をゲートに受ける n チャネルMOSトランジスタ60dのコンダクタンスが大きくなる。この n チャネルMOSトランジスタ60dのコンダクタンスがノードA3を外部電源電圧 V_{ext} レベルに充電する p チャネルMOSトランジスタQ61のそれよりも大きくなると、ノードA3の電圧レベルが低下し始める。

【0239】時刻 t_2 において、ノードA1に与えられる内部電源電圧 V_{int} の電圧レベルが所定電圧レベルに到達すると、 n チャネルMOSトランジスタ60dのコンダクタンスが十分大きくなり、ノードA3の電圧レベルがさらに低下し、応じて p チャネルMOSトランジスタQ60の電流供給力が n チャネルMOSトランジスタQ62の電流供給力よりも大きくなり、ノードA2の電圧レベルが上昇し、 p チャネルMOSトランジスタQ61がオフ状態へ移行する。これらの一連の動作により、CMOSインバータラッチ60cのラッチ状態が反転し、ノードA3の電圧レベルが接地電圧レベルとなり、一方、ノードA2が外部電源電圧 V_{ext} の電圧レベルとなる。ノードA3の電圧レベルの低下により、CMOSインバータ60eからの強制活性化信号ZPUPが外部電源電圧 V_{ext} レベルのHレベルへ立上がる。これにより、図38に示すNAND回路62の出力信号がLレベルとなり、降圧回路3は降圧動作を停止する。

【0240】内部電源電圧 V_{int} の所定電圧レベルは、基準電圧 V_{ref} が電圧レベル以下に設定されているが、内部電源電圧 V_{int} は、図示しない常時動作するスタンバイ降圧回路により駆動されほぼ所定の電圧レベルに到達する。

【0241】また、この時刻 t_2 において内部電源電圧 V_{int} が所定電圧レベルに到達してからノードA2およびA3の電圧レベルが変化し、強制活性化信号ZPUPが非活性状態へ駆動されるまでの遅延時間があれば、その遅延時間を利用して、内部電源電圧 V_{int} が所定電圧レベルに到達するようにされてもよい。それにより、内部電源線に対し、外部電源電圧 V_{ext} を直接伝達することなく電源投入時に内部電源電圧を初期設定することができる。

【0242】図39に示すように、CMOSインバータ60aの一方動作電源電圧として外部電源電圧 V_{ext} よりも十分緩やかに変化する基準電圧 V_{ref} を用いることにより、内部ノードA2およびA3を初期状態に確実に設定することができる。

【0243】また、外部電源電圧 V_{ext} が安定状態となりかつ内部電源電圧 V_{int} が所定電圧レベルに到達すると、MOSトランジスタQ61とMOSトランジスタ60dのゲート電圧によりこれらの電流駆動力を調整しており、結果として、外部電源電圧 V_{ext} の電圧レベルに基づいて内部電源電圧 V_{int} が所定電圧レベル

に到達したか否かを判定している。MOSトランジスタ60dの電流駆動力またはしきい値電圧が調整されて内部電源電圧 V_{int} の判定レベルが決定されている。しかしながら、判定動作は、CMOSインバータラッチ60cのノードA3を充電するためのMOSトランジスタQ61およびこのノードA3を放電するための n チャネルMOSトランジスタ60dの電流駆動力の差に基づいて行なわれており、結果として、外部電源電圧 V_{ext} の電圧レベルに基づいて内部電源電圧 V_{int} の電圧レベルを検出している。これにより、安定な内部電源電圧検出動作が実現される。

【0244】CMOSインバータ60aにおいて、一方動作電源電圧として外部電源電圧 V_{ext} を利用した場合、内部電源電圧 V_{int} が外部電源電圧 V_{ext} よりも低い電圧レベルでは、CMOSインバータ60aにおいて常時電流が流れ、消費電流が大きくなる。また、たとえ内部電源電圧 V_{int} が所定電圧レベルに到達しても、CMOSインバータ60aの出力信号が接地電圧レベルに放電されない(n チャネルMOSトランジスタ60bを完全なオフ状態に設定することができない)。したがって、内部電源電圧 V_{int} が所定電圧レベルに到達したときに、このCMOSインバータラッチ60cのラッチ状態を反転させることができない。内部電源電圧 V_{int} 以下の電圧レベルでありかつ外部電源電圧 V_{ext} から生成される基準電圧 V_{ref} を利用することにより、高速で内部電源電圧 V_{int} が所定電圧レベルに到達したときに、CMOSインバータラッチ60cのラッチ状態を反転させることができる(MOSトランジスタ60bを完全にオフ状態とすることができるため)。

【0245】〔変更例〕図41は、図39に示す電源レベル判定回路60の変更例の構成を示す図である。この図41に示す電源レベル判定回路60においては、CMOSインバータ60aの入力ノードA1に、内部電源電圧 V_{int} を受けるRC遅延回路60fが設けられる。このRC遅延回路60fは、抵抗素子と、MOSキャパシタとを含む。他の構成は、図39に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0246】この図41に示す構成においては、CMOSインバータ60aの入力ノードA1の信号電圧の変化速度をRC遅延回路60fにより調節することができる。したがって、図40に示す信号波形図における強制活性化信号ZPUPが非活性化される時間 t_2 を適当なタイミングに設定することができる。また、入力ノードA1の電圧変化速度を基準電圧 V_{ref} の変化速度に合わせて調節することにより、確実に内部ラッチノードA2およびA3の電圧レベルを一旦上昇させた後に、それぞれLレベルおよびHレベルに設定することができる。これにより、内部ラッチノードA2およびA3の電圧レベルが不安定な状態でラッチが行なわれCMOSインバータ

30

40

50

ラッチ 60c が誤った内部ラッチ状態に入るのを防止することができる、正確な回路動作を保証することができる。また、RC 遅延回路 60f は、内部電源電圧 V_{int} が上がった後においても、この内部電源電圧 V_{int} を使用する回路が動作し、一時的に消費電流が増大して内部電源電圧 V_{int} が急激に変動しても、このような内部電源電圧 V_{int} の高周波の電圧変動に対するローパスフィルタとして機能し、電源レベル判定回路 60 が誤って内部ラッチ動作を起動するのを抑制する。

【0247】[変更例 2] 図 42 は、この発明の実施の形態 6 の変更例 2 の構成を概略的に示す図である。図 42 に示す構成においては、周辺降圧回路 3p の活性/非活性を制御するために、電源レベル判定回路 60 からの強制活性化信号 ZPUP がゲート回路 62 を介して与えられる。電源レベル判定回路 60 は、センス基準電圧 V_{refs} を受け、このセンス基準電圧 V_{refs} と周辺電源電圧 V_{ccp} の関係により、図 39 または図 41 に示す CMOS インバータラッチ 60c のラッチノード A2 および A3 を確実に初期設定する。センス基準電圧 V_{refs} は、外部電源電圧 V_{ext} よりも遅く安定状態に到達し、また周辺電源電圧 V_{ccp} よりも速いタイミングで安定状態に移行する。したがってこのセンス基準電圧 V_{refs} および外部電源電圧 V_{ext} を用いて周辺電源電圧 V_{ccp} の電圧レベルを判定することにより、正確なレベル判定動作を行なうことができる。

【0248】特に、周辺電源電圧 V_{ccp} は、周辺回路の構成要素である MOS トランジスタへ直接与えられる。したがって、電源投入時において、外部電源電圧 V_{ext} が直接印加された場合、素子破壊が生じる可能性が高い。この図 42 に示す構成を利用することにより、周辺回路の電源投入時における高電圧印加による素子破壊を防止することができる。センス電源電圧は、センスアンプへ、センスアンプ活性化トランジスタを介して伝達される。また、センス電源線には、数多くのセンスアンプが接続し、負荷容量が大きく、急激な電圧上昇は生じず（負荷容量が大きい）、電源投入時における急激なセンス電源電圧上昇に起因する素子破壊が生じる可能性は少ない。したがって、この周辺降圧回路に対して電源レベル判定回路 60 からの強制活性化信号 ZPUP を与えてその活性/非活性を制御することにより、半導体記憶装置の内部回路の電源投入時における素子破壊を防止することができる。

【0249】なお、この図 42 に示す構成において、電源レベル判定回路 60 からの強制活性化信号 ZPUP が、センス降圧回路 3s の強制活性化のために用いられてもよい。

【0250】また、センス基準電圧 V_{refs} は、周辺電源電圧 V_{ccp} よりも低い電圧レベルであり（安定化時）、図 39 または図 41 に示す CMOS インバータ 60a を、安定化時確実に、その出力信号を L レベルに駆

動保持することができる。

【0251】また、NAND 回路 62 の出力信号は、先の実施の形態 4 における内部電源回路の内部降圧回路の電流源トランジスタのゲートへ与えられる。

【0252】[変更例 3] 図 43 は、この発明の実施の形態 6 の変更例 3 の構成を概略的に示す図である。この図 43 に示す構成においては、電圧レベル制御回路 10 は、外部電源電圧 V_{ext} の電圧を用いて内部電源電圧 V_{int} の電圧レベルを検出する電源レベル判定回路 70 を含む。内部電源電圧 V_{int} と外部電源電圧 V_{ext} とが所定の関係を満たすと、電源レベル判定回路 70 は、強制活性化信号 ZPUP を非活性状態へ駆動する。この強制活性化信号 ZPUP が活性状態の間、降圧回路 3 は、降圧動作を行なって、外部電源電圧 V_{ext} から、基準電圧 V_{ref} レベルの内部電源電圧 V_{int} を生成する。

【0253】この図 43 に示すように、装置内において最も速いタイミングで安定化する外部電源電圧 V_{ext} を用いて内部電源電圧 V_{int} の電圧レベルを検出することにより、安定な電圧レベル検出動作が保証される。

【0254】図 44 は、図 43 に示す電源レベル判定回路 70 の具体的構成を示す図である。図 44 において、電源レベル判定回路 70 は、ノード A5 と接地ノードとの間に接続される容量素子 70a と、外部電源ノード PS に与えられる外部電源電圧 V_{ext} を一方動作電源電圧として動作し、ノード A5 上の信号を受ける CMOS インバータ 70b と、ノード A6 上に与えられる CMOS インバータ 70b の出力信号に従って選択的にノード A5 と外部電源ノード PS とを結合する p チャネル MOS トランジスタ 70c と、外部電源ノード PS から与えられる外部電源電圧 V_{ext} を一方動作電源電圧として動作し、ノード A6 に与えられる CMOS インバータ 70b の出力信号を受ける CMOS インバータ 70d と、CMOS インバータ 70b および 70d の出力信号にตอบสนองして選択的に導通し、内部電源電圧 V_{int} をノード A5 に選択的に伝達する CMOS トランスミッションゲート 70e と、ノード A5 および A6 上の信号電圧を比較し、該比較結果を示す信号をラッチする比較ラッチ回路 70f と、外部電源ノード PS に与えられる外部電源電圧 V_{ext} を一方動作電源電圧として動作し、比較ラッチ回路 70f の出力ノード A7 上の信号を反転して強制活性化信号 ZPUP を出力する CMOS インバータ 70g を含む。

【0255】CMOS インバータ 70b、70d および 70g の各々は、外部電源ノード PS と接地ノードとの間に接続される p チャネル MOS トランジスタおよび n チャネル MOS トランジスタを含む。CMOS トランスミッションゲート 70e は、CMOS インバータ 70b の出力信号をゲートに受ける n チャネル MOS トランジスタと、この n チャネル MOS トランジスタと並列に接

続され、かつそのゲートにCMOSインバータ70dの出力信号を受けるpチャネルMOSトランジスタを含む。

【0256】比較ラッチ回路70fは、外部電源ノードPSとノードA8との間に接続されかつそのゲートがノードA6に接続されるpチャネルMOSトランジスタQ70と、外部電源ノードPSとノードA7との間に接続されかつそのゲートがノードA5に接続されるnチャネルMOSトランジスタQ71と、ノードA8と接地ノードとの間に接続されかつそのゲートがノードA7に接続されるnチャネルMOSトランジスタQ72と、ノードA7と接地ノードとの間に接続されかつそのゲートがノードA8に接続されるnチャネルMOSトランジスタQ73を含む。

【0257】電源レベル判定回路70は、さらに、外部電源ノードPSとノードA6との間に接続されかつそのゲートに電源投入検出信号ZPORを受けるpチャネルMOSトランジスタ70hを含む。内部電源電圧Vintは、センス電源回路から出力されるセンス電源電圧Vccsまたは周辺電源回路から出力される周辺電源電圧Vccpである。次に、この図44に示す電源レベル判定回路70の動作を、図45に示す信号波形図を参照して説明する。

【0258】時刻t0において電源投入が行なわれ、外部電源電圧Vextの電圧レベルが上昇する。電源投入時、電源投入検出信号ZPORがLレベルであり、pチャネルMOSトランジスタ70hがオン状態となり、ノードA6の電圧レベルが外部電源電圧Vextの電圧レベルとともに上昇する。また、ノードA5の電圧レベルは、CMOSインバータ70bの入力論理しきい値よりも低く、CMOSインバータ70bの出力信号も外部電源電圧Vextの電圧レベルに従って上昇する。一方、CMOSインバータ70dは、ノードA6の電圧レベルが外部電源電圧Vextの電圧レベルに応じて上昇するため、内部のpチャネルMOSトランジスタがオフ状態を維持し、その出力信号は接地電圧レベルのLレベルとなる。したがって、CMOSトランスミッションゲート70aがオン状態となり、内部電源電圧VintがノードA5へ伝達される。ノードA5には、容量素子70aが接続されており、この内部電源電圧Vintに従って充電され、ノードA5の電圧レベルが緩やかに上昇する。

【0259】内部電源電圧Vintは、既に説明しているように、外部電源電圧Vextから生成される基準電圧Vrefとの比較に基づいて外部電源電圧Vextから生成される。したがって、電源投入後、この内部電源電圧Vintは、外部電源電圧Vextの電圧レベルに従って基準電圧Vrefの電圧レベルが上昇するため、その電圧レベルも応じて上昇する。

【0260】比較ラッチ回路70fにおいては、ノード

A6の電圧レベルがノードA5の電圧レベルよりも高いため、pチャネルMOSトランジスタQ71のコンダクタンスがpチャネルMOSトランジスタQ70のコンダクタンスよりも大きく、交差結合されたnチャネルMOSトランジスタQ72およびQ73により、ノードA8が接地電圧レベルに保持され、一方、ノードA7が、pチャネルMOSトランジスタQ71からの充電電流により外部電源電圧Vextの電圧レベルの上昇に応じてその電圧レベルが上昇する。したがって、電源投入直後、ノードA7の電圧レベルがCMOSインバータ70dの入力論理しきい値よりも低い時には、強制活性化信号ZPUPは、少し電圧レベルがCMOSインバータ70gにより、一旦上昇するが、すぐに放電され、強制活性化信号ZPUPはLレベルを維持する。

【0261】外部電源電圧Vextが所定の電圧レベルに到達するかまたは所定電圧レベルに到達しかつ安定化すると、時刻t1において電源投入検出信号ZPORがHレベルに立上がり、pチャネルMOSトランジスタ70hがオフ状態となる。この時刻t1においては、外部電源電圧Vextは、所定電圧レベルで安定化しており、ノードA6の電圧レベルも外部電源電圧Vextの電圧レベルで安定化する。この状態においても、CMOSトランスミッションゲート70aはオン状態にあり、ノードA5は、内部電源電圧Vintの電圧レベルの上昇に応じてその電圧レベルが上昇する。比較ラッチ回路70fにおいては、pチャネルMOSトランジスタQ70がオフ状態にあり（ソースおよびゲートの電圧が同じレベルである）、ノードA7がHレベルを維持する。

【0262】内部電源電圧Vintの電圧レベルの上昇に従って、容量素子70aが充電され、ノードA5の電圧レベルが上昇する。このノードA5の電圧レベルが時刻t2においてCMOSインバータ70bの入力論理しきい値よりも高くなると、CMOSインバータ70bの出力信号がLレベルの変化する。これにより、ノードA6が接地電圧レベルへ放電され、pチャネルMOSトランジスタ70cがオン状態となり、ノードA5が外部電源ノードPSに結合され、その電圧レベルが外部電源電圧Vextの電圧レベルに上昇する。このノードA6の電圧レベルの低下に回答して、CMOSインバータ70dの出力信号がHレベルとなり、CMOSトランスミッションゲート70eがオフ状態となり、ノードA5の外部電源電圧Vextが内部電源電圧Vintを供給するノードへ伝達されるのを防止する。

【0263】ノードA6の電圧レベルの低下に回答して、比較ラッチ回路70fにおいては、pチャネルMOSトランジスタQ70がオン状態となり、一方、pチャネルMOSトランジスタQ71がオフ状態となり、ノードA8がpチャネルMOSトランジスタQ70により充電されて、その電圧レベルが上昇し、一方、ノードA3がMOSトランジスタQ73を介して放電されてその電

圧レベルが低下する。ノード A 7 および A 8 の放電および充電は、交差結合された n チャンネル MOS トランジスタ Q 7 2 および Q 7 3 で構成される増幅回路により高速で行なわれる。ノード A 7 の電圧レベルの低下にตอบสนองして、CMOS インバータ 7 0 g からの強制活性化信号 Z P U P が H レベルに立上がる。これにより、降圧回路 3 が降圧動作を停止する。

【0264】図 4 4 に示す電源レベル判定回路 7 0 の構成においては、ノード A 5 の電圧レベルが CMOS インバータ 7 0 b の入力論理しきい値よりも高くなると強制活性化信号 Z P U P が非活性化される。CMOS インバータ 7 0 b の入力論理しきい値は、外部電源ノード P S に与えられる外部電源電圧 V_{ext} とその内部に含まれる MOS トランジスタの β の比とにより与えられる。電源投入後最も早く安定化する外部電源電圧 V_{ext} を用いて内部電源電圧 V_{int} の判定基準電圧レベルを設定し、その CMOS インバータ 7 0 b の入力論理しきい値を判定基準として、内部電源電圧 V_{int} が所定の電圧レベルに到達したか否かを正確に判定することができる。これは、CMOS インバータ 7 0 b の入力論理しきい値は、外部電源電圧 V_{ext} が一定状態に保持されたときには、一定値を保持するためである。ここで、 β は、MOS トランジスタのチャンネル幅とチャンネル長の比である。

【0265】時刻 t_0 から時刻 t_2 までの間の時間は、CMOS インバータ 7 0 b の入力論理しきい値を調整することにより適当な値に設定される。また、これに代えて、CMOS トランスマッションゲート 7 0 e と容量素子 7 0 a との間に、抵抗素子を挿入し、ノード A 5 の電圧レベルの上昇速度を内部電源電圧 V_{int} の電圧レベルの上昇速度と異ならせることにより、強制活性化信号 Z P U P の活性時間を調整する構成が用いられてもよい。

【0266】この CMOS インバータ 7 0 b の安定化時における入力論理しきい値を、内部電源電圧 V_{int} (V_{ccp} または V_{ccs}) の電圧レベルを規定する基準電圧 V_{ref} (V_{refp} , V_{refs}) の電圧レベルに設定すれば、内部電源線と外部電源ノードとを直接結合することなく、内部電源電圧 V_{int} が所定の基準電圧レベルに到達したときに、降圧回路 3 の動作を停止させることができる。この場合、また、内部電源電圧 V_{int} は、基準電圧 V_{ref} よりも低い電圧レベルであってもよい。これは、以下の理由による。

【0267】図 4 6 は、内部電源回路の要部の構成を概略的に示す図である。図 4 6 において、内部電源回路 1 は、ゲート回路 6 2 からの制御信号にตอบสนองして選択的に活性／非活性化されて降圧動作を行なう降圧回路 3 と、常時動作し、基準電圧 V_{ref} に応じた内部電源電圧 V_{int} を生成するスタンバイ降圧回路 3 a を含む。スタンバイ降圧回路 3 a および降圧回路 3 の出力ノードは共

通に結合される。スタンバイ降圧回路 3 a は、スタンバイ状態時における内部電源線のリーク電流を保証するために設けられており、その駆動電流量は十分小さくされている。一方、降圧回路 3 は、内部回路（周辺回路および／またはセンサンプ回路）動作時における消費電流を補償するために大きな電流駆動力を有している。したがって、降圧回路 3 が電源投入時駆動されて、内部電源電圧 V_{int} の電圧レベルを上昇させ、その後、スタンバイ降圧回路 3 a のみに従って内部電源電圧 V_{int} の電圧レベルを所定電圧レベルまで到達させることにより、スタンバイ降圧回路 3 a のみを用いて電源投入後内部電源電圧 V_{int} を所定電圧レベル（基準電圧 V_{ref} の規定するレベル）まで駆動する構成に比べて大幅に内部電源電圧 V_{int} が安定化するまでに要する時間を短縮することができる。したがって、この強制活性化信号 Z P U P が非活性化されるタイミングが、内部電源電圧 V_{int} が基準電圧 V_{ref} よりも低い電圧レベルのときに設定されても何ら問題はない。

【0268】また、スタンバイ降圧回路 3 a の構成は、単に活性制御信号に代えて、バイアス電圧が電流源トランジスタのゲートへ与えられるだけであり、それを除いてこれまでに説明した降圧回路と同じ構成を備える。単に電流駆動力が小さくされているだけである。

【0269】以上のように、この発明の実施の形態 6 に従えば、電源投入時、内部電源電圧と外部電源電圧との関係に基づいて降圧回路を強制的に活性状態へ駆動しているため、内部電源電圧が降圧回路を通して生成され、内部電源線と外部電源ノードとが結合されるのを防止することができ、内部電源線に外部電源電圧が直接印加されて電源投入時のノイズなどに起因する高電圧が内部回路に印加され、素子破壊が生じるのを防止することができる。

【0270】〔他の適用例〕上述の説明においては、各実施の形態 1 から 6 が説明されているが、これらは、図 1 に示す電源レベル制御回路において、適当に組合せて用いられてもよい。また、個々に用いられてもよい。

【0271】また、半導体記憶装置としては、ダイナミック・ランダム・アクセス・メモリが述べられている。しかしながら、このダイナミック・ランダム・アクセス・メモリとしては、標準 DRAM およびクロック信号に同期してデータの入出力を行う同期型半導体記憶装置のいずれであってもよい。

【0272】

【発明の効果】以上のように、この発明に従えば、低消費電流かつ低占有面積で、安定に所望のレベルの内部電源電圧を生成して、内部回路を安定に動作させることができる。

【0273】すなわち、請求項 1 に係る発明に従えば、内部電源電圧線に結合される容量素子の容量値を調整するための手段を設けているため、最小占有面積で、安定

に内部電源電圧を所定の電圧レベルに保持することができる、チップ占有面積を低減することができる。

【0274】請求項2に係る発明に従えば、この内部電源回路を、互いに異なる基準電圧を切換えて、それらの基準電圧に応じて内部電源電圧を生成するように構成しているため、この容量素子の充電電圧を、高い電圧レベルに設定することができ、内部回路動作時における内部電源電圧の低下を抑制し、内部回路を安定に動作させることができる。

【0275】請求項3に係る発明に従えば、特定動作モード時において、この第1の基準電圧を外部から設定可能にするように構成しているため、第1の基準電圧の最適値を決定することができる。

【0276】請求項4に係る発明に従えば、内部回路が、メモリセルデータを検知し増幅する複数のセンスアンプを含んでおり、センス動作時における電荷を容量素子から供給することができ、センス電源電圧の低下を抑制することができ、安定かつ高速にセンス動作を行なうことができる。

【0277】請求項5に係る発明に従えば、データ出力回路のレベル変換回路へ内部電源電圧を供給しているため、データ出力時におけるレベル変換回路の動作時における電圧低下を抑制することができ、安定かつ高速にデータを出力することができる。

【0278】請求項6に係る発明に従えば、第1の温度領域で負または0の温度特性を有し、かつこれより高温側の第2の温度領域で正の温度特性を有する基準電圧を生成し、この基準電圧に基づいて内部電源電圧を生成しているため、広い動作範囲にわたって内部回路を安定かつ高速に動作させることができる。

【0279】請求項7に係る発明に従えば、基準電圧を、同一材料で形成される第1および第2の抵抗素子の抵抗比に比例する第1の電圧と、互いに異なる材料で形成される第3および第4の抵抗素子の抵抗比に比例する第2の電圧を生成し、これらの高い方の電圧を選択して基準電圧として生成しているために、容易に、負または0および正の温度特性を有する基準電圧を生成することができる。

【0280】請求項8に係る発明に従えば、MOSトランジスタの電流駆動力の差を抵抗素子で増幅しその電流を第2の抵抗素子で電圧に変換して第1の電圧を生成し、同一構成で第3および第4の抵抗素子で第2の電圧を生成しており、所望の温度特性を有しかつ外部電源電圧に依存しない電圧を生成することができる。

【0281】請求項9に係る発明に従えば、第4の抵抗素子として、ダイオード接続されたMOSトランジスタを用いているため、その温度特性により、容易に所望の負の温度特性を有する電圧を生成することができる。

【0282】請求項10に係る発明に従えば、第3の抵抗素子を高融点金属シリサイド、第4の抵抗を高濃度不

純物拡散抵抗で形成している。ので、ほぼ温度特性（温度係数が0の電圧）を生成することができる。

【0283】請求項11に係る発明に従えば、第1および第2の電圧のうちの高電圧の電圧を選択する手段として、ソース結合論理を用いるため、容易にかつ正確に、第1および第2の電圧のうちの高い方の電圧に応じた基準電圧を生成することができる。

【0284】請求項12に係る発明に従えば、基準電圧および内部電源電圧とともにレベル変換し、これらのレベル変換された電圧を比較して外部電源ノードから内部電源線へ電流を供給するように構成しているため、比較回路を最適領域で動作させることができ、高速応答する内部電源回路を実現することができる。

【0285】請求項13に係る発明に従えば、レベル変換電圧を受ける比較段を構成するMOSトランジスタ対をそれぞれ接地ノードに結合しているため、比較回路の出力信号の最低到達電位を接地電圧レベルにすることができ、外部電源電圧低下時においても、電流ドライフトランジスタの電流駆動能力の低下を抑制することができ、外部電源電圧の広い範囲にわたって高速に応答する内部電源回路を実現することができる。また、電流ドライフトランジスタの占有面積を増大する必要がなく、回路占有面積の増大を抑制することができる。

【0286】請求項14に係る発明に従えば、レベル変換回路を、基準電圧および内部電源電圧を受けるMOSトランジスタと、これらのMOSトランジスタとカレントミラー回路を構成する同一導電型のMOSトランジスタで構成しているため、電流駆動型のレベル変換を行なって、高速でレベル変換された電圧を生成することができ、応答特性に優れたレベル変換回路を実現することができる。

【0287】請求項15に係る発明に従えば、直列接続されるMOSトランジスタのゲートを、それぞれ1つMOSトランジスタをおいた接続ノードに接続するように構成しているため、各MOSトランジスタをほぼ同じ動作領域で動作させることができ、被分圧電圧が低い場合においても、安定に動作して、所望の整数比の分圧電圧を生成することができる。

【0288】請求項16に係る発明に従えば、直列接続されるMOSトランジスタのうち隣接する2つのMOSトランジスタのバックゲートを共通にこれらの2つのMOSトランジスタの高電位側の接続ノードに接続するように構成しているため、これらの隣接する2つのMOSトランジスタのバックゲート効果を同じとすることができ、同じ動作領域で動作させることができ、一定の分圧比の分圧電圧を得ることができる。

【0289】請求項17に係る発明に従えば、1つの基準電圧発生回路からセンスアンプ用の基準電圧および周辺回路用の基準電圧を生成しているため、基準電圧発生回路占有面積を低減することができる。

【0290】請求項18に係る発明に従えば、この基準電圧発生のための抵抗回路として、直列接続されたMOSトランジスタを用いかつこれらのMOSトランジスタの各ゲートを、1つおいたMOSトランジスタの接続ノードに接続しているため、外部電源電圧が動作下限領域近傍の値にあっても、安定に所望のレベルの基準電圧を生成することができる。

【0291】請求項19に係る発明に従えば、動作モード指示信号を1つの経路を形成する遅延チェーンを通して複数の信号を生成し、これらの複数の信号をデコードすることにより、動作制御信号を生成して電源降圧回路の動作を制御するように構成しているため、各制御信号に対応して遅延回路を設ける必要がなく、回路素子数を低減することができ、回路占有面積および回路動作時の消費電流を低減することができる。

【0292】請求項20に係る発明に従えば、デコード回路を、内部降圧回路活性化信号と、この活性化された降圧回路の動作電流を所定期間増加させる第2の活性化信号とを生成するように構成しているため、内部回路動作時においてこの降圧回路の動作電流を大きくして、応答速度を大きくすることができ、安定に所望のレベルの内部電源電圧を生成することができる。

【0293】請求項21に係る発明に従えば、デコード回路が、動作モード指示信号の活性化および非活性化それぞれに応答して第2の活性化信号を活性化しており、内部回路動作時および内部プリチャージ動作時における消費電流による内部電源電圧の低下を抑制することができる。

【0294】請求項22に係る発明に従えば、降圧動作活性化信号および動作電流増大用活性化信号とともに同じ内部降圧回路へ与えているため、たとえば基準電圧切換により、センス電源電圧をオーバドライブする回路を容易に得ることができる。

【0295】また、このセンス電源電圧オーバドライブ時においても、応答速度が高速化されており、正確にセンス電源電圧をオーバドライブ電圧レベルにまで駆動することができる。

【0296】請求項23に係る発明に従えば、降圧動作活性化信号および動作電流増大用活性化信号がそれぞれ別の降圧回路へ与えられており、各内部回路に利用される内部電源電圧の特性に応じて、最適な条件で内部降圧回路を動作させることができる。

【0297】請求項24に係る発明に従えば、電流ドライバトランジスタのコンダクタンスを調整する比較回路を、この電流ドライバトランジスタからの供給電流によりその電圧レベルが設定される内部電源電圧のレベルに応じて活性化するように構成しているため、電源投入時において、外部電源ノードを直接内部電源線に結合する必要がなく、内部電源線に不必要な高電圧が印加されるのを防止することができる。

【0298】請求項25に係る発明に従えば、内部電源電圧と基準電圧との差に従って比較回路を活性化しているため、正確に比較回路を活性化することができる。

【0299】請求項26に係る発明に従えば、活性化手段は、対応の内部電源電圧生成のための基準電圧と別の基準電圧と内部電源電圧との差に従って比較回路を活性化しているため、所望の電圧レベルに到達するまで、比較回路を活性化することができる。

【0300】請求項27に係る発明に従えば、内部電源電圧と外部電源電圧との差に応じて比較回路を活性化しており、内部電源電圧が所定電圧レベルに到達するまで、比較回路を活性化することができる。

【0301】請求項28に係る発明に従えば、この内部電源電圧と外部電源電圧との差に応じて比較回路を非活性化するように構成してため、正確に、内部電源電圧が所定電圧レベルに到達した時点で、比較回路の活性化動作を停止させることができる。

【図面の簡単な説明】

【図1】 この発明が適用される半導体記憶装置の全体の構成を概略的に示す図である。

【図2】 この発明の実施の形態1における半導体記憶装置の要部の構成を示す図である。

【図3】 図2に示す基準電圧の温度特性を示す図である。

【図4】 (A)は、この発明の実施の形態1の変更例の構成を示し、(B)は、(A)に示す抵抗素子を用いたときの基準電圧の温度依存性を示す図である。

【図5】 この発明の実施の形態2に従う半導体記憶装置の要部の構成を示す図である。

【図6】 図5に示す基準電圧発生回路の構成の一例を示す図である。

【図7】 図6に示す基準電圧発生回路からの基準電圧の外部電圧依存性を示す図である。

【図8】 図6に示す定電流源の構成の一例を示す図である。

【図9】 図5に示す基準電圧発生回路の変更例の構成を示す図である。

【図10】 この発明の実施の形態2に従って構成される分圧回路の構成を示す図である。

【図11】 図10に示す分圧回路の出力電圧と入力電圧の関係を示す図である。

【図12】 この発明の実施の形態3に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図13】 図12に示すセンスアンプ回路の構成の一例を示す図である。

【図14】 図12に示す回路の動作を示す信号波形図である。

【図15】 この発明の実施の形態3に従う半導体記憶装置のより詳細な構成を示す図である。

【図16】 図15に示す周辺基準電圧発生回路の構成

の一例を示す図である。

【図 17】 この発明の実施の形態 3 の変更例の構成を概略的に示す図である。

【図 18】 図 15 および図 17 に示す安定化容量の構成をより具体的に示す図である。

【図 19】 図 18 に示すヒューズプログラム回路の構成を示す図である。

【図 20】 図 15 および図 17 に示す安定化容量の他の構成を示す図である。

【図 21】 この発明の実施の形態 3 の変更例を概略的に示す図である。

【図 22】 この発明の実施の形態 3 の他の用途への適用例を示す図である。

【図 23】 この発明の実施の形態 3 の他の用途への適用例を示す図である。

【図 24】 この発明の実施の形態 4 に従う半導体記憶装置の要部の構成を示す図である。

【図 25】 (A) は、図 24 に示す比較回路の動作を示す信号波形図であり、(B) は、図 24 に示す電流ドライフトランジスタの駆動電流能力を示す図である。

【図 26】 この発明の実施の形態 4 の変更例の構成を概略的に示す図である。

【図 27】 図 26 に示すレベル変換回路の動作を示す信号波形図である。

【図 28】 この発明の実施の形態 4 の変更例 2 の構成を概略的に示す図である。

【図 29】 この発明の実施の形態 5 に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図 30】 図 29 に示す遅延チェーンおよびデコード回路の構成を示す図である。

【図 31】 図 29 に示すセンス降圧回路の構成を概略的に示す図である。

【図 32】 図 30 に示す回路の動作を示す信号波形図である。

【図 33】 図 29 に示す切換信号発生部の構成の一例を示す図である。

【図 34】 この発明の実施の形態 5 の変更例の構成を概略的に示す図である。

【図 35】 この発明の実施の形態 5 の変更例 2 の構成を概略的に示す図である。

【図 36】 図 35 に示す回路の動作を示す信号波形図である。

【図 37】 図 35 に示す遅延チェーンおよびデコード回路の構成を概略的に示す図である。

【図 38】 この発明の実施の形態 6 に従う半導体記憶装置の要部の構成を概略的に示す図である。

【図 39】 図 38 に示す電源レベル判定回路の構成を示す図である。

【図 40】 図 39 に示す電源レベル判定回路の動作を示す信号波形図である。

【図 41】 図 39 に示す電源レベル判定回路の変更例を示す図である。

【図 42】 この発明の実施の形態 6 の変更例 2 の構成を概略的に示す図である。

【図 43】 この発明の実施の形態 6 の変更例 3 の構成を概略的に示す図である。

【図 44】 図 43 に示す電源レベル判定回路の構成を示す図である。

【図 45】 図 44 に示す電源レベル判定回路の動作を示す信号波形図である。

【図 46】 この発明の実施の形態 6 の内部電源回路の構成を概略的に示す図である。

【図 47】 従来の半導体記憶装置の全体の構成を概略的に示す図である。

【図 48】 図 47 に示す内部電源回路の構成を概略的に示す図である。

【図 49】 図 48 に示す降圧回路の構成を概略的に示す図である。

【図 50】 図 49 に示す降圧回路の出力電圧と外部電源電圧および基準電圧の関係を示す図である。

【図 51】 図 49 に示す降圧回路の動作を示す信号波形図である。

【図 52】 図 48 に示す基準電圧発生回路からの基準電圧の温度特性を概略的に示す図である。

【図 53】 図 48 に示す降圧回路の具体的構成を示す図である。

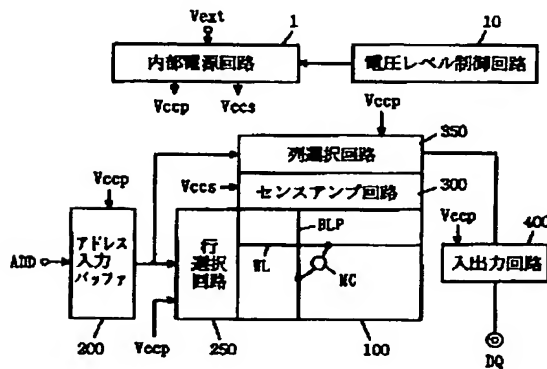
【符号の説明】

- 1 内部電源回路、10 電圧レベル制御回路、100 メモリセルアレイ、300 センスアンプ回路、2 基準電圧発生回路、2a 第1の電圧発生回路、2b 第2の電圧発生回路、2c OR回路、3 降圧回路、3p 周辺降圧回路、3s センス降圧回路、R10～R14 抵抗素子、CCS 定電流源、Q25～Q29、Q30～Q34 MOSトランジスタ、SQ0、SQ1 スイッチングトランジスタ、2s センス基準電圧発生回路、2p 周辺基準電圧発生回路、4 切換回路、5 センス電源線、7 安定化容量、SA センスアンプ、9 トランスファゲート、11 テストモード検出回路、13 パッド (外部ピン端子)、14 モニタパッド、15 トランスファゲート、FP、FP0～FPn ヒューズプログラム回路、XT0～XTn トランスファゲート、C0～Cn キャパシタ、OB0～OBn 出力バッファ、30a Vpp1発生回路、30b Vpp2発生回路、30c 切換回路、30e 安定化容量、Cd 安定化容量、PDA、PDB パッド、3c 比較器、3d 電流ドライフトランジスタ、35 ローカルレベル変換回路、37 内部電源線、Q51～Q54 nチャネルMOSトランジスタ、505a 比較器、505b 電流ドライフトランジスタ、505d 内部電源線、50 遅延チェーン、DSW0～

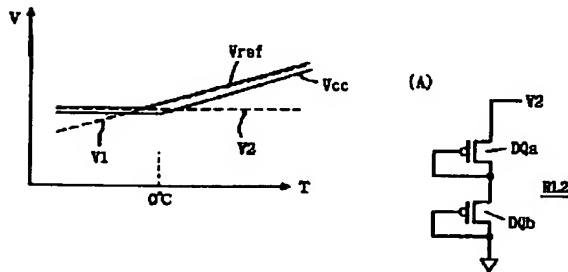
73

DSW2 遅延切換スイッチ、SSW0, SSW1 出力選択スイッチ、IV0~IV3 インバータ、NG1~NG5 NAND回路、3sa 比較器、3sb電流ドライブトランジスタ、3sc, 3sd 電流源トランジスタ、50a~50c 遅延段、52a, 52c OR回路、52b, 52d, 52g インバータ、52e AND回路、52f, 52h NAND回路、60

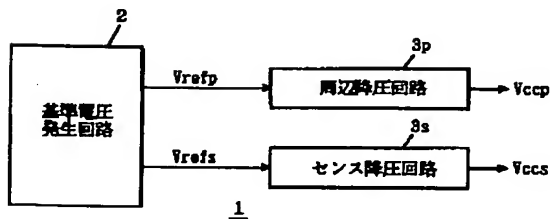
【図1】



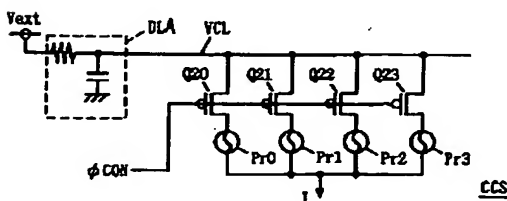
【図3】



【図5】



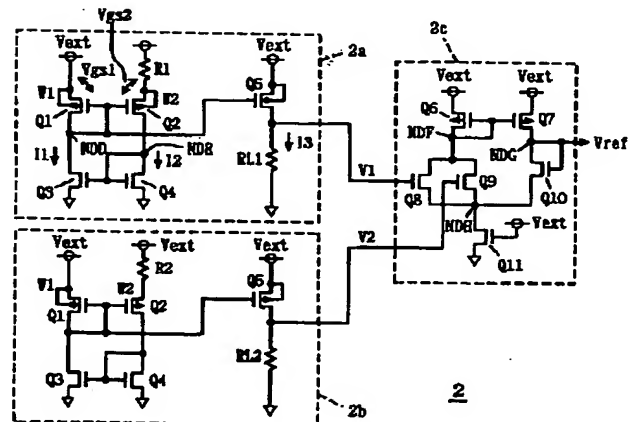
【図8】



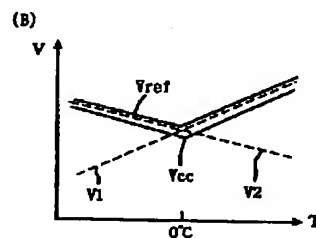
74

電源レベル判定回路、60a, 60e CMOSインバータ、60b, 60d, MOSTランジスタ、60c CMOSインバータラッチ、60f 遅延回路、62 ゲート回路、70 電源レベル判定回路、70a 容量素子、70b, 70d, 70g CMOSインバータ、70c, 70h MOSTランジスタ、70e トランスファゲート、70f 比較ラッチ回路。

【図2】

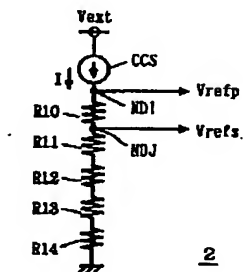


【図4】

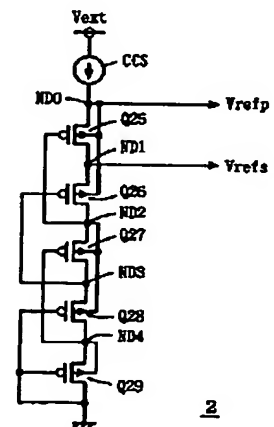
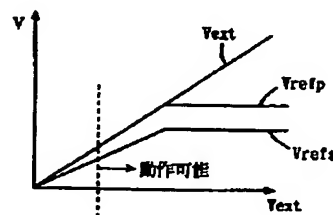


【図7】

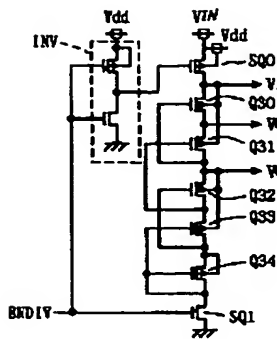
【図6】



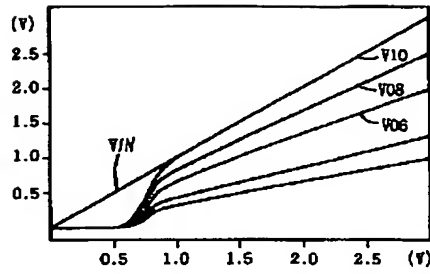
【図9】



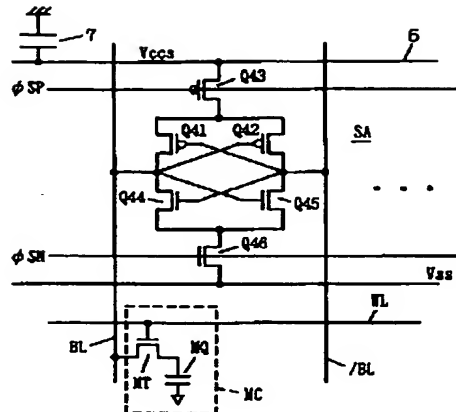
【図10】



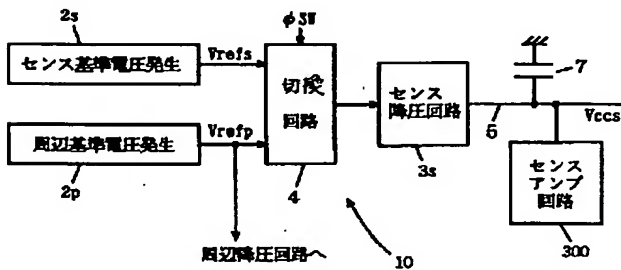
【図11】



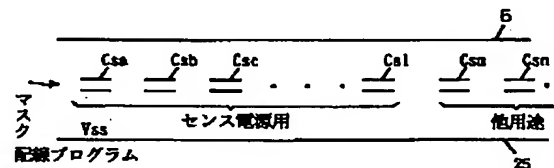
【図13】



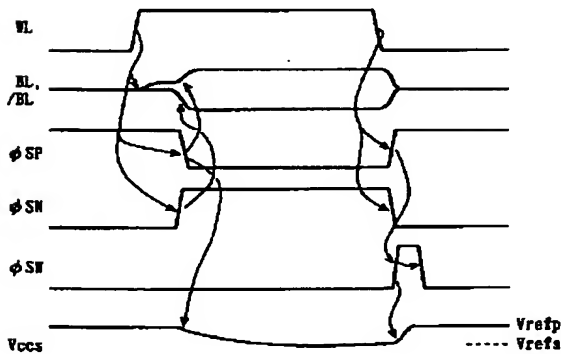
【図12】



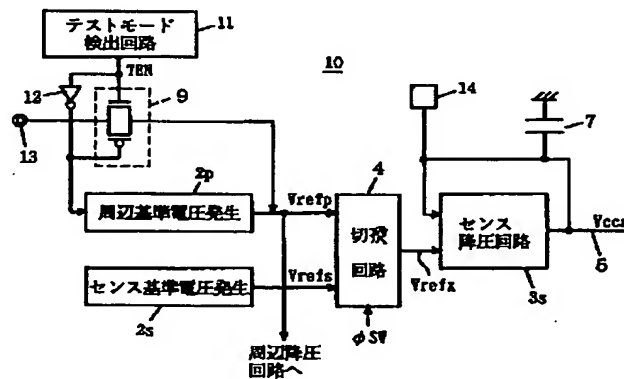
【図20】



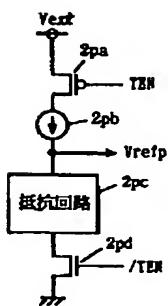
【図14】



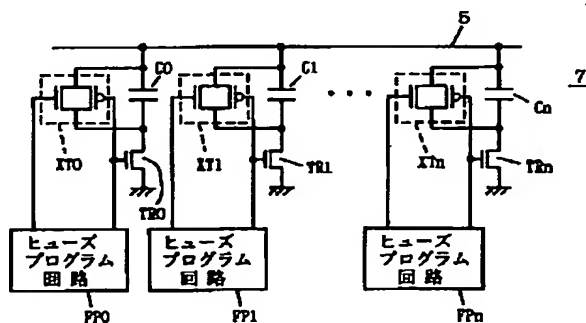
【図15】



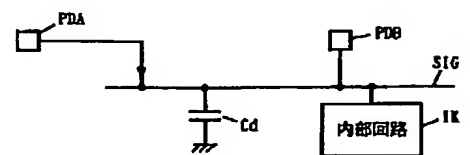
【図16】



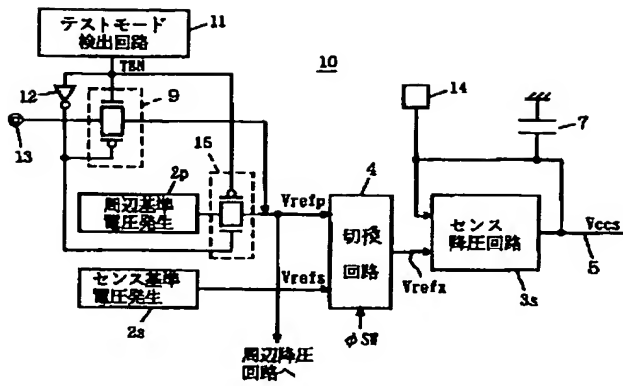
【図18】



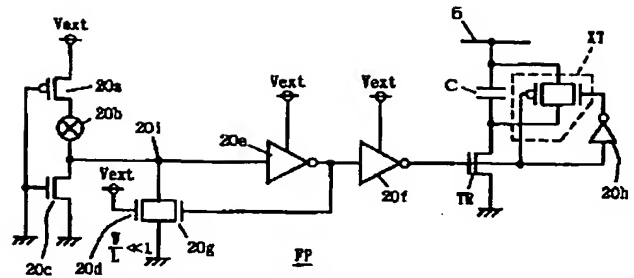
【図22】



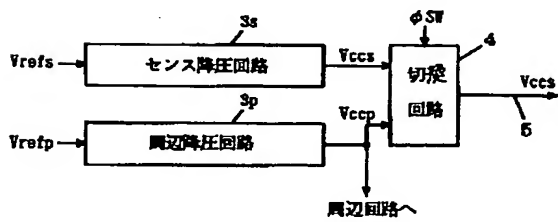
【図17】



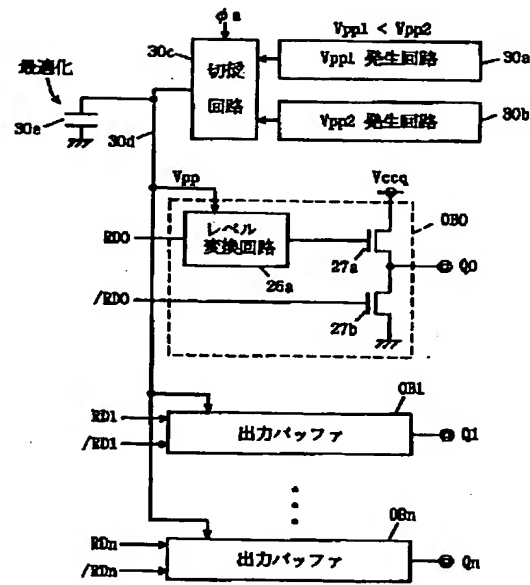
【図19】



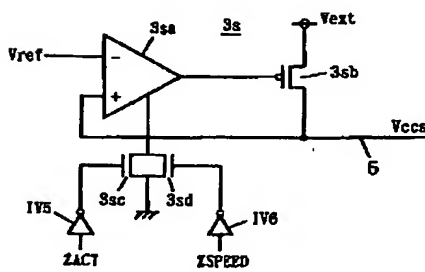
【図21】



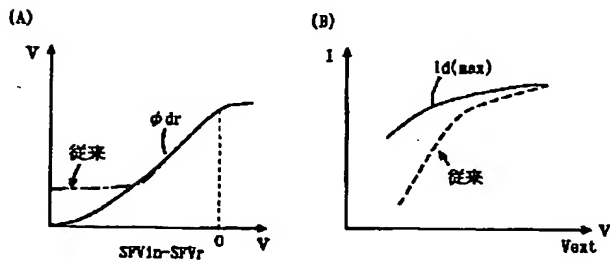
【図23】



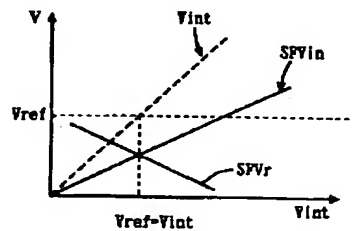
【図31】



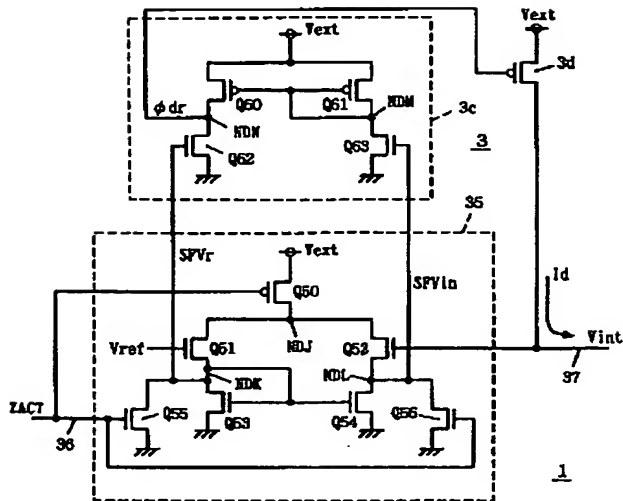
【図25】



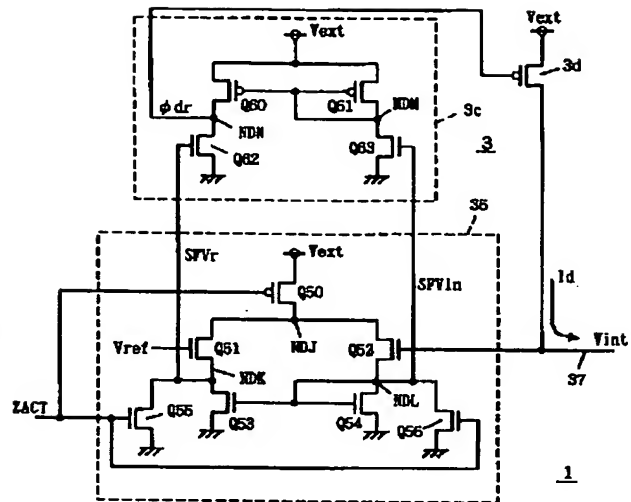
【図27】



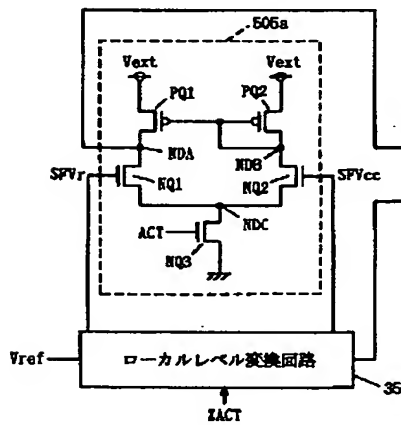
【図 24】



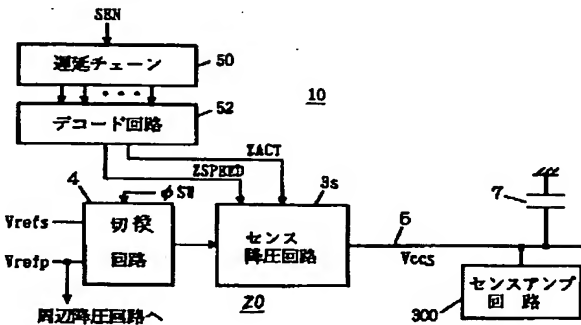
【図 26】



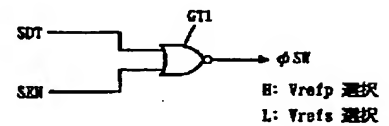
【図 28】



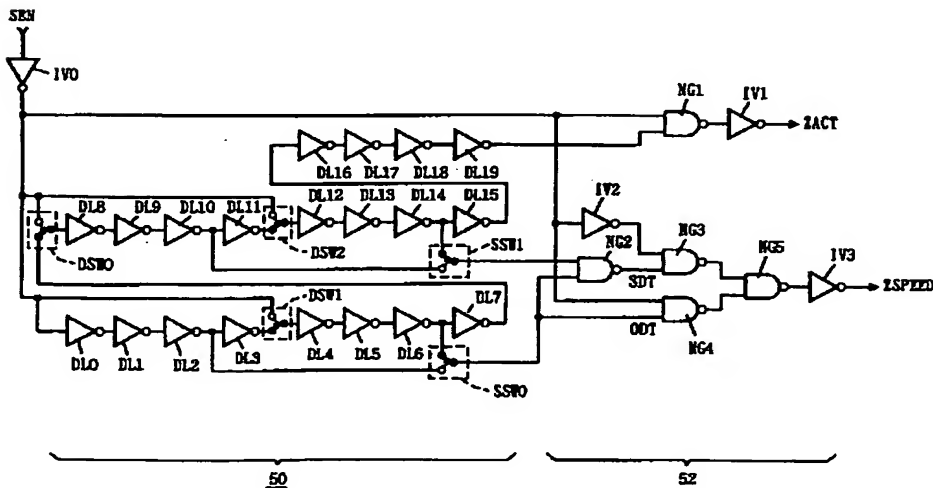
【図 29】



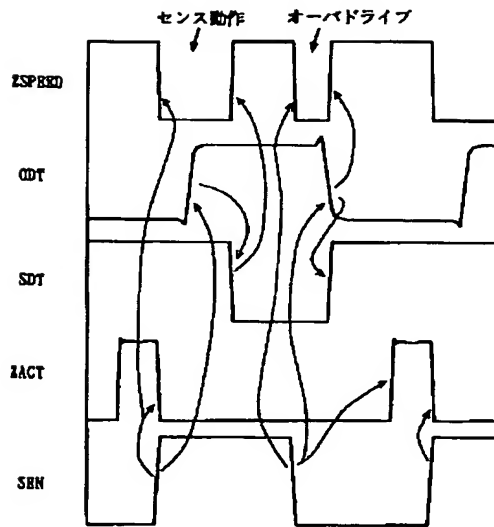
【図 33】



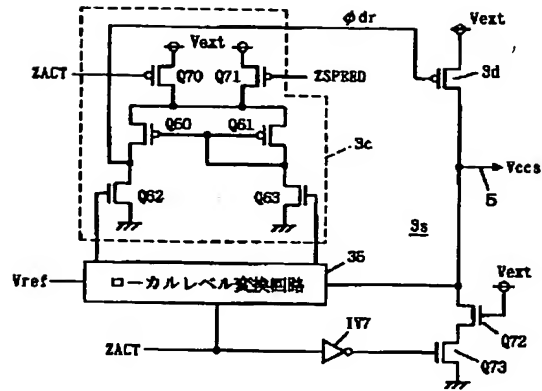
【図 30】



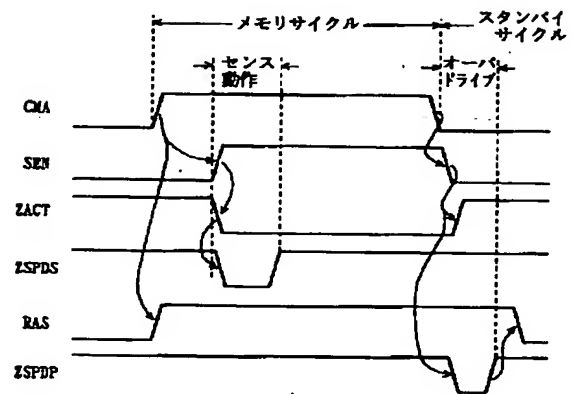
【図 32】



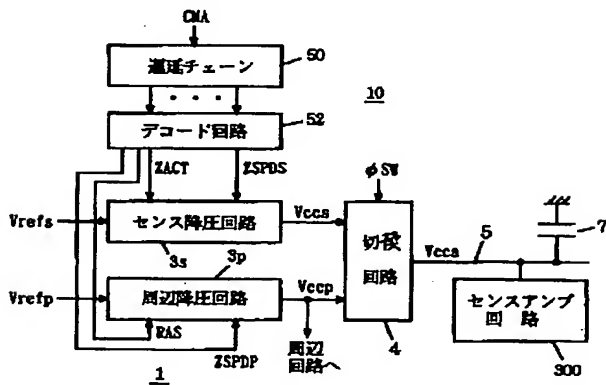
【図 34】



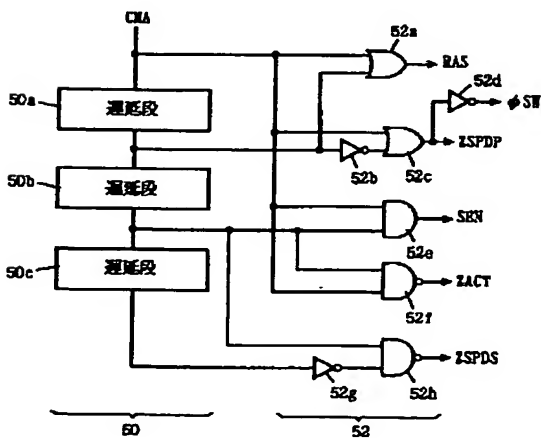
【図 36】



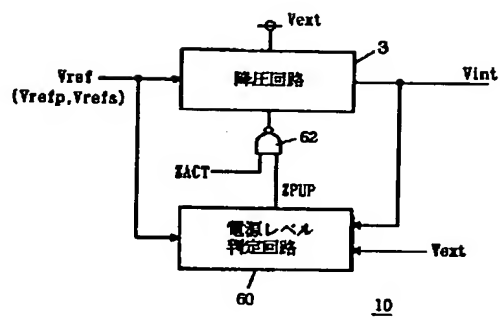
【図 35】



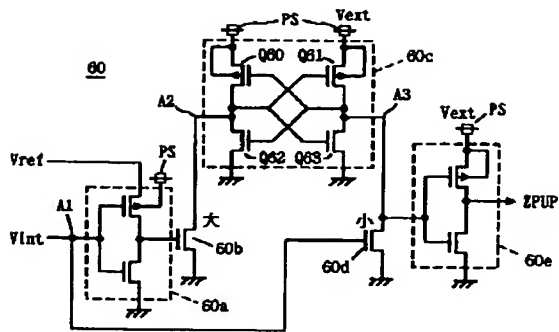
【図 37】



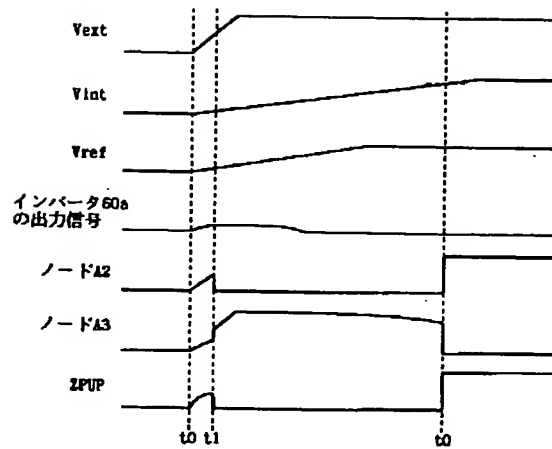
【図 38】



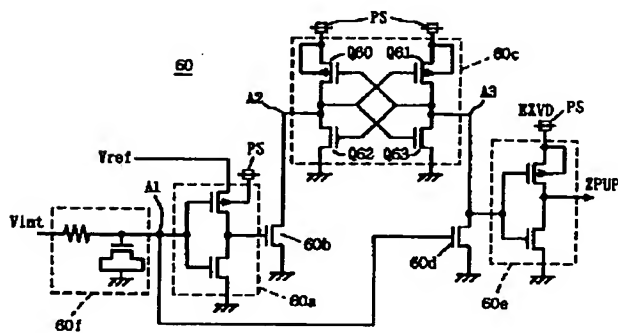
【図39】



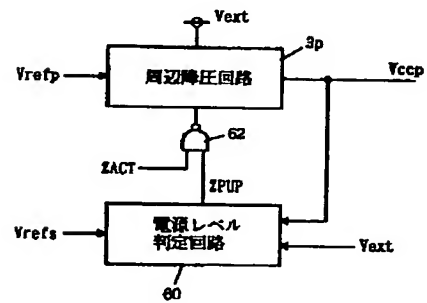
【図40】



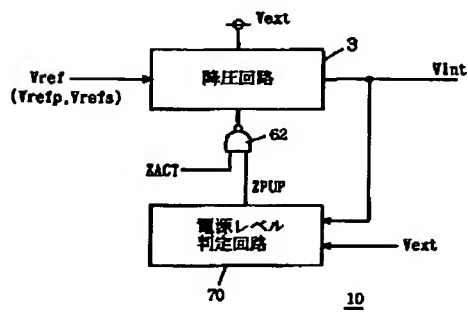
【図41】



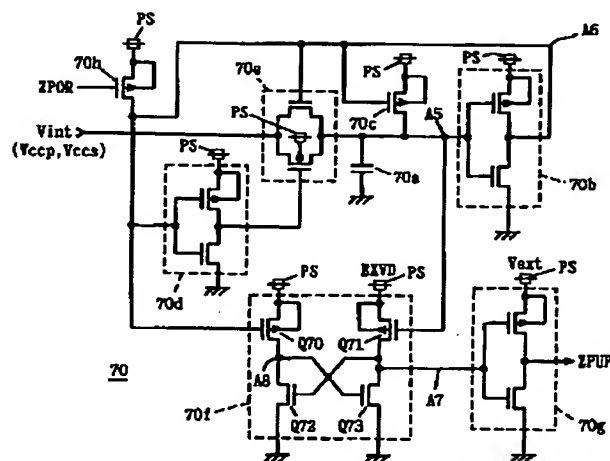
【図42】



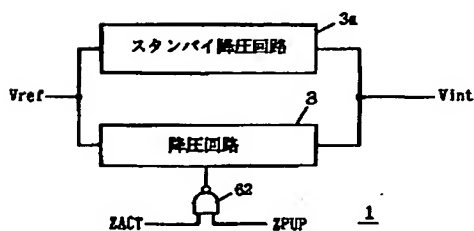
【図43】



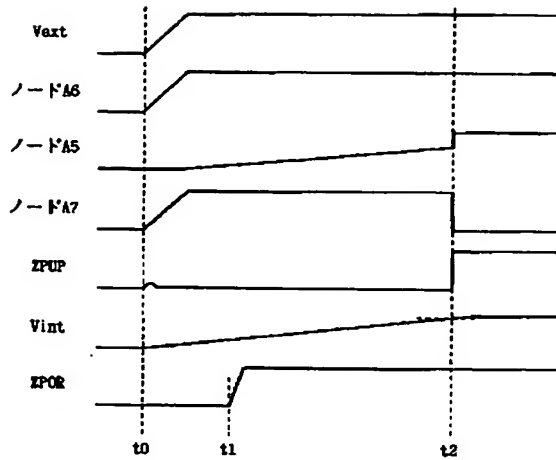
【図44】



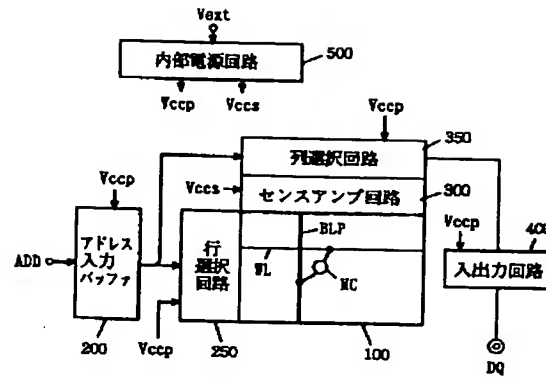
【図46】



【図45】

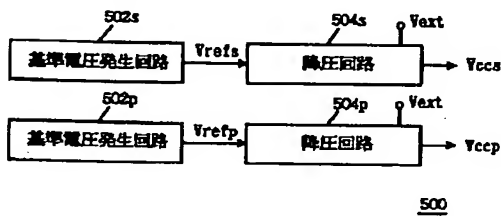


【図47】

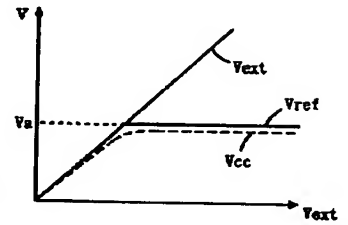
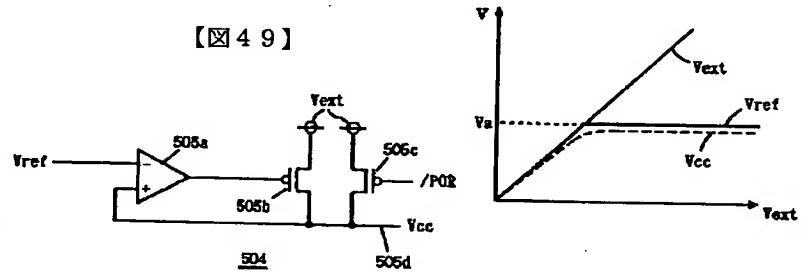


【図50】

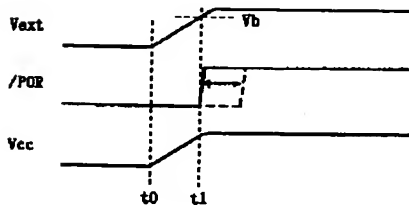
【図48】



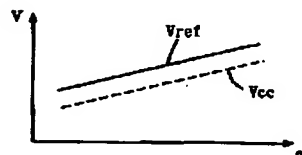
【図49】



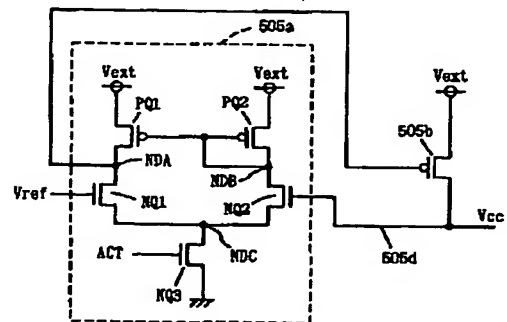
【図51】



【図52】



【図53】



フロントページの続き

(51)Int.Cl.⁷

11/409

識別記号

F I

ターマート (参考)

353

E

(72)発明者 河野 隆司

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

F ターム(参考) 5B015 AA01 AA04 AA08 BA41 BA51
BA62 CA03 CA04 DA01 FA10
5B024 AA01 AA04 AA07 BA09 BA23
BA27 CA07 CA11 CA21 EA04
5H420 NA31 NB02 NB31 NB37 NC02
NC35 NE23 NE26